

CMOS-Empfängerschaltungen für Hochgeschwindigkeits-Datenübertragung nach LVDS-Standard

S. Hirsch and H.-J. Pfeiderer

Universität Ulm, Abteilung Allgemeine Elektrotechnik und Mikroelektronik, Albert-Einstein-Allee 43, 89081 Ulm, Germany

Zusammenfassung. Für die schnelle Datenübertragung zwischen einzelnen IC's auf einer Leiterplatte kann der "IEEE-Standard für LVDS (Low Voltage Differential Signals)" verwendet werden. Um die Anforderungen, die dieser Standard an die Empfängerschaltungen stellt, erfüllen zu können, sind spezielle Schaltungen nötig, die mit einem sehr kleinen Differenzsignal am Eingang und einem stark variierenden Arbeitspunkt betrieben werden können. Es werden verschiedene Schaltungen, die diese Bedingungen erfüllen, vorgestellt und durch Simulation miteinander verglichen. Die beiden erfolgversprechendsten Schaltungen wurden auf der Basis eines Full Custom Layouts in einer CMOS-Technologie realisiert und vermessen.

1 Motivation

Aufgrund der sich immer weiterentwickelnden Halbleitertechnologie sind IC's mit immer höherem internen Systemtakt möglich. Für immer komplexere Anwendungen reicht das alleine aber nicht mehr aus, es werden auch für die Datenübertragung zwischen IC's heutzutage immer höhere Geschwindigkeiten benötigt. Mit steigender Übertragungsgeschwindigkeit treten aber auch verstärkt Reflexionen auf der Übertragungsstrecke auf. Um diese zu vermeiden, verwendet man einen Leitungsabschluß am Ende der Übertragungsstrecke. Dies führt zu einem statischen Stromfluß, der zu einer dauerhaften Verlustleistung führt. Um diese zu reduzieren, muß der Signalhub reduziert werden. Dabei können aber Störungen, die auf die Übertragungsstrecke einwirken, das Signal beeinflussen und im ungünstigsten Fall zu einem fehlerhaften Empfang führen. Dies kann man umgehen, indem man differentielle Signale einführt und diese möglichst gleich führt, da sich dann Störungen auf beide Leitungen gleich auswirken und so das empfangene Differenzsignal nicht wesentlich verändert wird. Diese genannten Eigen-

schaften sind u.a. im "IEEE Standard for Low-Voltage Differential Signals for SCI (LVDS)" festgelegt. Wenn man die darin beschriebene Datenübertragung verwendet, sind Schaltungen zur Verstärkung des Signals auf vollen Spannungshub nötig.

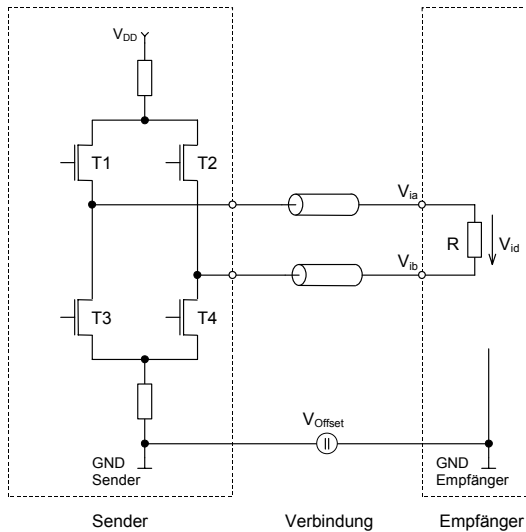
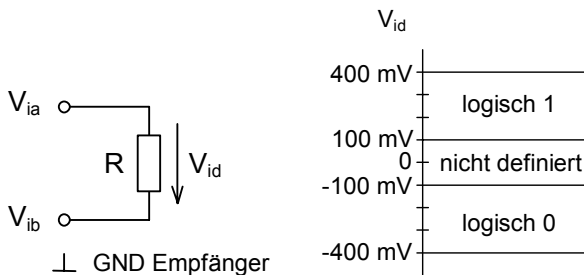
2 IEEE-Standard für Low Voltage Differential Signals (LVDS)

Für eine Datenübertragung nach LVDS Standard gelten folgende Eigenschaften: Es handelt sich um eine Punkt- zu-Punkt Verbindung anstatt einer Bus-Struktur, was höhere Geschwindigkeiten ermöglicht. Es erfolgt keine Festlegung auf eine bestimmte Technologie, d.h. Schaltungen in CMOS, BiCMOS, GaAs, usw. sind kompatibel zueinander, da ja nur Spannungswerte festgelegt sind. Der Versorgungsspannungsbereich der Schaltungen liegt nach dem LVDS-Standard zwischen 2 und 5 V. Die Datenübertragung ist leistungssarm und hochfrequent; die Signalübertragung erfolgt differentiell und unidirektional. Die Signalpegel für Sender- und Empfängerschaltungen sind in dem Standard ebenfalls festgelegt. In Abb. 1 ist die prinzipielle Übertragung dargestellt. Wenn die beiden Transistoren T1 und T4 leiten und die beiden Transistoren T2 und T3 sperren, fließt der Strom von der Versorgungsspannung V_{DD} im oberen Zweig vom Sender zum Empfänger und im unteren Zweig wieder zurück. Sind dagegen die Transistoren T2 und T3 leitend und die Transistoren T1 und T4 gesperrt, fließt der Strom im unteren Zweig vom Sender zum Empfänger und im oberen zurück. Dieses Verfahren sorgt dafür, daß immer ein konstanter Strom aus der Versorgungsspannung entnommen wird, es also beim Umschalten nicht zu Stromspitzen kommt. Da aber hier jetzt ein konstanter Strom fließt, muß man durch Verwenden eines kleinen Signalhubs die Verlustleistung verringern.

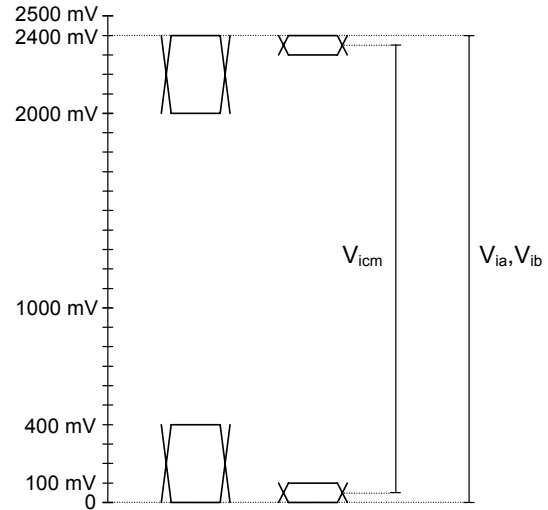
In Tabelle 1 sind die Signalpegel angegeben, die im LVDS Standard festgelegt sind. V_{ia} und V_{ib} sind dabei die Potentiale der beiden Eingangsleitungen bezogen auf Masse (GND) des Empfängers (Abb. 2a). $V_{id} = V_{ia} - V_{ib}$ ist die Differenz

Tabelle 1. Spannungswerte nach LVDS Standard

	Spezifikation “Reduced Range”		Spezifikation “General Purpose”	
	Minimum	Maximum	Minimum	Maximum
$ V_{\text{Offset}} $	0	50 mV	0	925 mV
$ V_{\text{id}} $	100 mV	400 mV	100 mV	400 mV
$V_{\text{ia}}, V_{\text{ib}}$	825 mV	1575 mV	0	2400 mV
V_{icm}	875 mV	1525 mV	50 mV	2350 mV

**Abbildung 1.** Prinzipielle Übertragung.**Abbildung 2.** (a) Potentiale V_{ia} und V_{ib} und Spannung V_{id} am Eingang des Empfängers; (b) erlaubte Werte für V_{id} .

dieser beiden Signale und V_{icm} ist das sog. common mode Signal (CM Signal), für das gilt: $V_{\text{icm}} = 1/2 \cdot (V_{\text{ia}} + V_{\text{ib}})$. Die Werte für V_{id} sind in beiden Spezifikationen gleich. V_{id} darf betragsmäßig zwischen 100 und 400 mV liegen (Abb. 2b). In den anderen Spannungswerten unterscheiden sich die beiden Spezifikationen. In der Spezifikation “Reduced Range” ist sowohl der Bereich der Offset Spannung zwischen den Massepotentialen des Senders und des Empfängers als auch der erlaubte Bereich der common mode Spannung eingeschränkt. Aus der Einschränkung des CM Bereichs folgt automatisch eine Einschränkung des Bereichs von V_{ia} und V_{ib} . In Abb. 3 sind die Spannungswerte für die “General Purpose”

**Abbildung 3.** Spannungswerte der “General Purpose” Spezifikation.

Spezifikation dargestellt.

Um die unterschiedlichen erlaubten Spannungswerte des CM Bereichs in einer Simulation zu erfassen, wurde der in Abb. 4 dargestellte Spannungsverlauf für die beiden differentiellen Eingangssignale gewählt. Dieses Signal muß nun auf vollen Spannungshub verstärkt werden.

3 Schaltungen zur Signalverstärkung

Für die Aufgabe der Signalverstärkung sollen hier zwei mögliche Schaltungen gezeigt werden. Da die Eingangsspannungen zwischen 0 und 2,4 V liegen können und die Versorgungsspannung in der verwendeten $0,25 \mu\text{m}$ CMOS-Technologie 2,5 V beträgt, arbeiten die Schaltungen am Eingang mit zwei komplementären Schaltungsteilen, von denen der eine bei einem niedrigen CM-Signal arbeitet und der andere bei einem hohen CM-Signal. Die Schaltung in Abb. 5 besteht aus den drei Funktionsblöcken: Eingangsstufen, Zusammenführung und Verstärkung auf vollen Hub.

Die Eingangsstufe besteht aus einer Differenzstufe mit NMOS-Transistoren (N-Stufe), einer Differenzstufe mit PMOS-Transistoren (P-Stufe) und je zwei N- und zwei P-Source Folgern (SF_N bzw. SF_P). Durch die beiden Differenzstufen wird der veränderliche CM-Wert der Eingangs-

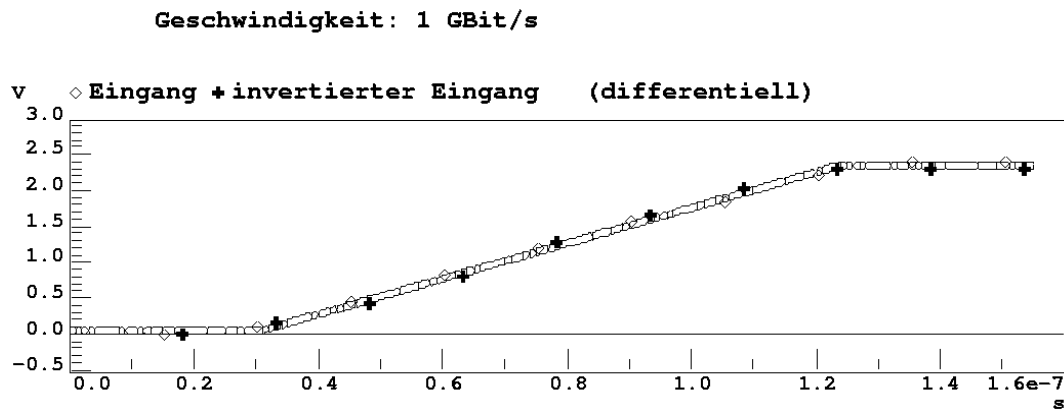


Abbildung 4. Spannungsverlauf der Eingangssignale.

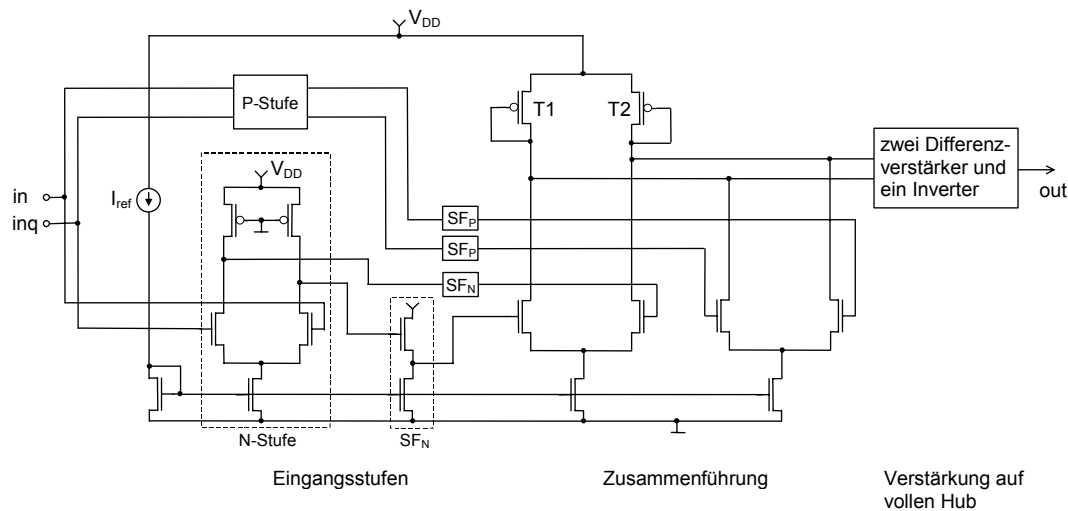


Abbildung 5. Schaltung zur Signalverstärkung.

signale eliminiert. Die beiden Source-Folger verschieben die Signale so, daß die Signale der beiden Differenzstufen, die jeweils nur in einem begrenzten CM-Bereich des Eingangssignals ein sinnvolles Ausgangssignal liefern, in der nächsten Stufe (Zusammenführung) zusammengeführt werden können. Dies geschieht durch die Parallelschaltung zweier N-Differenzstufen, die mit gemeinsamen Lastelementen (T1 und T2) arbeiten. Das Signal nach dieser Zusammenführung ist in Abb. 6 dargestellt.

Die Verstärkung dieses Signals auf vollen Hub erfolgt in der dritten Stufe, die aus 2 Differenzverstärkern und einem Inverter besteht. Das Ausgangssignal hierbei ist jetzt nicht mehr differentiell (Abb. 7). Unterteilt man dieses Signal im Zeitbereich in schmale Streifen, die eine Breite von 2 mal der Periodendauer haben, und legt diese Streifen alle übereinander, erhält man ein sogenanntes Augendiagramm (Abb. 8). Wenn das dabei entstehende Auge weit genug geöffnet ist, ist die nachfolgende Schaltung in der Lage das korrekte Signal weiterzuverarbeiten.

Bei der in Abb. 9 dargestellten Schaltung (Bazes, 1990) liegen die Eingangssignale ebenfalls wieder parallel an ei-

ner P-Differenzstufe und einer N-Differenzstufe an. Die Zusammenführung der Signale erfolgt hier aber nicht in einer nachgeschalteten Stufe, sondern direkt in der gleichen Stufe durch die entsprechende Zusammenschaltung der beiden Differenzstufen. Das Ausgangssignal erhält man auch hier wieder als single-ended Signal.

4 Verbesserungen durch Optimierungsprogramm

Bei der Dimensionierung der Transistorweiten in den Schaltungen wurde das Optimierungsprogramm OPSIM der Firma Mentor Graphics (ANACAD, 1995) eingesetzt. Damit ist es möglich, bestimmte Design-Ziele vorzugeben, z.B. die Flankensteilheit, Verzögerungszeiten, Leistung, usw. Durch iterative Simulation ermittelt OPSIM die Abhängigkeiten der Design-Ziele von den Design-Variablen, d.h. von den Transistorweiten der Transistoren. Danach werden diese Design-Ziele von OPSIM gezielt so verändert, daß die Design-Ziele möglichst gut erfüllt werden. Da diese Optimierung lediglich auf der Netzliste der Schaltung aufbaut, werden

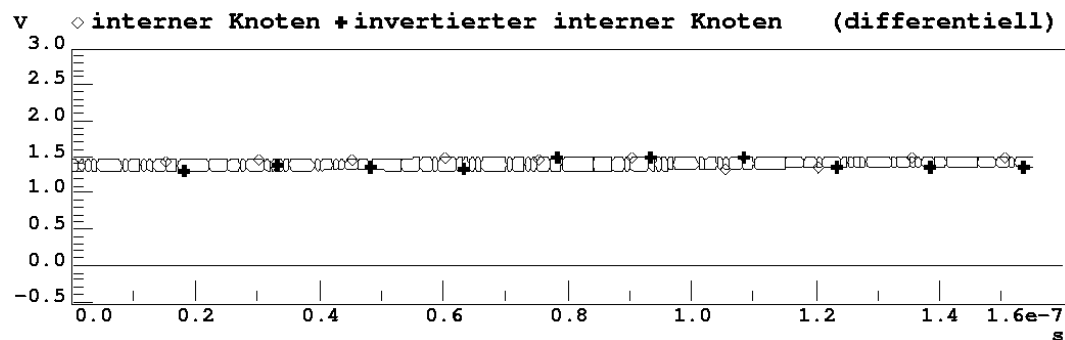


Abbildung 6. Spannungsverlauf an zwei internen Knoten (differentielles Signal).

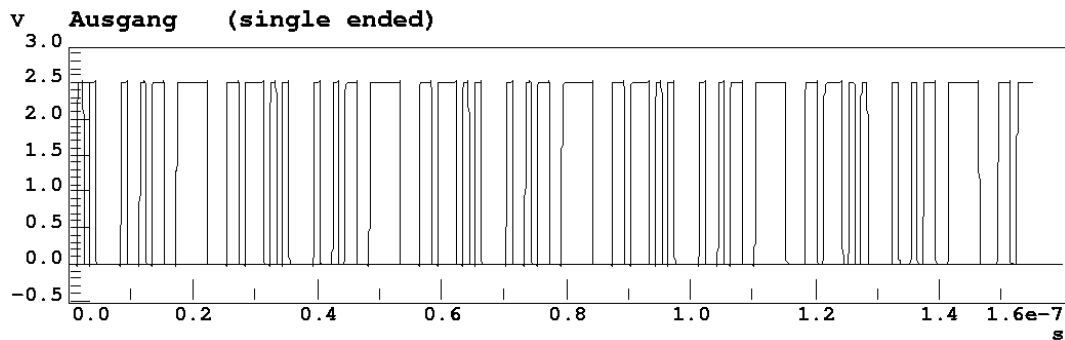


Abbildung 7. Spannungsverlauf des Ausgangssignals (single-ended).

Leiterbahnkapazitäten, die bei der Verdrahtung der einzelnen Transistoren auftreten, hiermit leider nicht berücksichtigt. Außerdem erfolgt lediglich eine grobe Abschätzung der parasitären Transistor-Kapazitäten wie sie in dem BSIM3v3 Transistor-Modell vorgesehen ist. Die tatsächlichen Leiterbahnkapazitäten und parasitären Transistor-Kapazitäten können erst nach Erstellung des Schaltungs-Layouts berücksichtigt werden.

5 Layoutgenerierung

Zur Erstellung eines Full-Custom-Layouts für diese beiden Schaltungen wurde ein Programm eingesetzt, das aus den zwei Teilen “Modulgeneratorumgebung” und “Design-Assistent” besteht (Wolf et al., 1996). Mit der Modulgeneratorumgebung ist es möglich, analoge Module, angefangen bei einfachen Transistoren, über Stromspiegel bis hin zu beliebig komplexen Modulen in einer speziellen Beschreibungssprache zu definieren. Diese Beschreibung erfolgt technologieunabhängig. Mit dem Design-Assistent werden die einzelnen Transistoren, die zu einem vorher definierten Modul gehören, identifiziert und dem jeweiligen Modul zugeordnet. Bei der anschließenden Layout-Generierung für die einzelnen Module werden die Design-Regeln für den verwendeten 0,25 μm CMOS-Herstellungsprozeß automatisch berücksichtigt. Zusätzlich können bei der Layout-Generierung anwendungsspezifische Parameter festgelegt werden. Dabei kann z.B. festgelegt werden, ob parasitäre Ka-

Tabelle 2. Vergleich der Schaltungen

	max. Datenrate in GBit/s	Leistungsverbrauch in mW	Größe (im Layout) in μm^2
Schaltung in Abb. 5	1,4	3,6–4,0	1800
Schaltung in Abb. 9	1,0	0,9–1,1	420

pazitäten zwischen einzelnen Leiterbahnen gewünscht sind oder nach Möglichkeit vermieden werden sollen.

6 Vergleich der Schaltungen

Je schneller eine Schaltung betrieben wird, d.h. je kürzer die Periodendauer wird, desto kleiner wird die Augenöffnung (vergleiche Abb. 8). Um die maximal erreichbare Geschwindigkeit der Schaltungen zu bestimmen, wurde die Datenrate so weit erhöht, bis die horizontale Augenöffnung bei Simulation auch mit den “best case” und “worst case” Technologieparametersätzen noch 80% der Periodendauer beträgt (gemessen jeweils bei der Hälfte der Versorgungsspannung). Da die Flanken eine begrenzte Steilheit aufweisen, ist die horizontale Augenöffnung bei 2,5 V bzw. bei 0 V etwas geringer. Die hierbei erreichten Geschwindigkeiten betragen bei

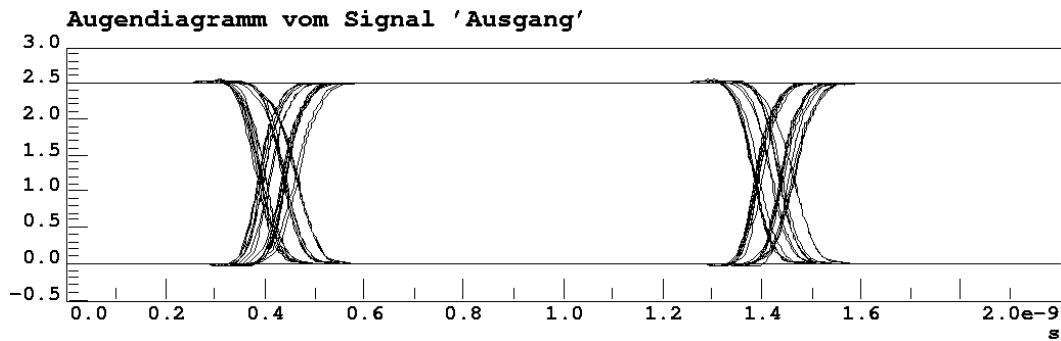


Abbildung 8. Augendiagramm des Ausgangssignals.

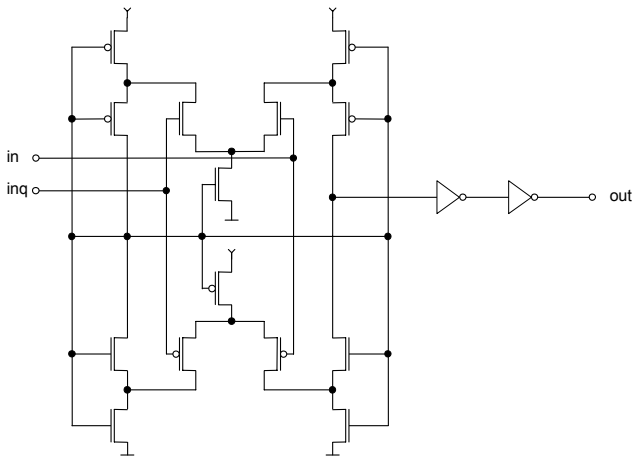


Abbildung 9. Schaltung zur Signalverstärkung.

der Schaltung in Abb. 5 1,4 Gbit/s und bei der Schaltung in Abb. 9 1,0 Gbit/s (Tabelle 2).

Die Schaltung in Abb. 5 besteht, wie bereits erwähnt, aus mehreren hintereinandergeschalteten Stufen, mit insgesamt fünf Differenzverstärkern. Da durch jeden dieser Differenzverstärker ein Querstrom fließt, ist der Leistungsverbrauch in dieser Schaltung entsprechend höher. Die Schwankungsbreite bei der Leistungsangabe ergibt sich auch hier wieder aus der Verwendung der "best case" und "worst case" Parametersätze. Aus dem erstellten Full Custom Layout wurde die Größe der Schaltungen ermittelt. Das Größenverhältnis der beiden Schaltungen ist mit einem Faktor von ca. 4,3 relativ deutlich. Verglichen mit der benötigten Fläche einer Padzelle von $12800 \mu\text{m}^2$ ist der Flächenbedarf beider Schaltungen durchaus akzeptabel.

7 Meßergebnis

Die Schaltungen wurden in einer $0,25 \mu\text{m}$ CMOS-Technologie mit einer Versorgungsspannung von 2,5 V hergestellt. Zur Verifikation soll an die Verstärkerschaltungen ein differentielles Eingangssignal mit dem kleinsten erlaubten Spannungshub von 100 mV und einer Geschwindigkeit von 500 Mbit/s angelegt werden. Da das Ausgangssignal der Verstärkerschaltung einen Spannungshub von 2,5 V besitzt, kann es nicht direkt aus dem Chip herausgeführt und extern gemessen werden. Um dieses Problem zu umgehen, wurde das Ausgangssignal der Verstärkerschaltung an eine ebenfalls auf dem Chip realisierte Kette aus vier in Reihe geschalteten Flip-Flops angeschlossen (Abb. 10a). Diese Flip-Flops wirken dabei als eine Art Frequenzteiler, so daß das Ausgangssignal nach den Flip-Flops nur noch 1/16 der Eingangsgeschwindigkeit aufweist. Da dieses Signal eine entsprechend geringere Frequenz aufweist, kann es aus dem Chip herausgeführt und gemessen werden. Abbildung 10b stellt das Meßergebnis dar. Im unteren Bereich ist das Eingangssignal und im oberen Bereich das Ausgangssignal dargestellt. Man erkennt dort gut den Faktor 16, da die Periodendauer des Ausgangssignals T_{Ausgang} genau 16 mal so lang ist wie die Periodendauer des Eingangssignals T_{Eingang} .

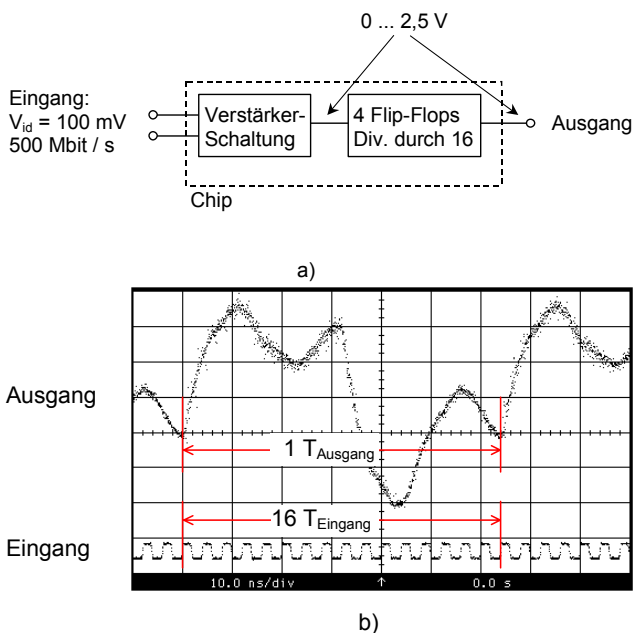


Abbildung 10. (a) Anordnung der Verstärkerschaltung und der Flip-Flop-Kette auf dem Chip; (b) Meßergebnis.

8 Zusammenfassung

Im "IEEE-Standard für LVDS (Low Voltage Differential Signals)" sind Eigenschaften und Randbedingungen für eine schnelle und verlustleistungsarme digitale Datenübertragung zwischen einzelnen IC's auf einer Leiterplatte festgelegt. Die prinzipielle Übertragung und die Spezifikation, die von den eingesetzten Empfängerschaltungen erfüllt werden muß, wurde in dem vorliegenden Beitrag erläutert. Es wurden zwei Verstärkerschaltungen vorgestellt, die mit dem geforderten sehr kleinen Differenzsignal am Eingang und dem stark variierenden Arbeitspunkt betrieben werden können. Diese beiden Schaltungen erreichen in der Simulation Datenübertragungsraten von 1,0 bzw. 1,4 Gbit/s bei einer Leistungsaufnahme von 0,9–1,1 bzw. 3,6–4,0 mW. Die beiden Schaltungen wurden nach einem Full Custom Layout in ei-

ner 0,25 μm CMOS-Technologie hergestellt und die Funktion anhand von Meßergebnissen bestätigt.

Literatur

- ANACAD (jetzt Mentor Graphics): OPSIM Users's Manual, Document Number 311401, Rev. v2.0 for Software Version v5.6.x, June 1995.
- Bazes, M.: CMOS complementary self-biased differential amplifier with rail-to-rail common-mode input-voltage range, U.S. patent 4 958 133, Sept. 1990.
- IEEE Standards Department: Draft Standard for Low Voltage Differential Signals (LVDS) for Scalable Coherent Interface (SCI), Draft 1.3 IEEE P1596.3-1995, November 1995.
- Wolf, M., Kleine, U., and Hosticka, B.: A Novel Analog Module Generator Environment; Proc. The European Design & Test Conference, pp. 388–392, March 1996.