

# Ein 10 bit 10 MS/s Low-Power AD-Converter in 0.11 mm<sup>2</sup>

D. Muthers and R. Tielert

Lehrstuhl Mikroelektronik, TU Kaiserslautern, Germany

**Zusammenfassung.** Ein 10 bit 10 MS/s Analog-Digital-Wandler mit niedriger Leistungsaufnahme von 8,4 mW wurde implementiert. Der geringe Flächenbedarf von 0,11 mm<sup>2</sup> macht diesen Wandler besonders geeignet für Multikanalanwendungen. Um die Anforderungen von 10 bit, 10 MS/s möglichst effizient zu erfüllen wurde eine zyklische Wandlerarchitektur gewählt, die in einem 0,18 μm-CMOS-Prozess mit MIM-Kondensatoren implementiert wurde. Der entworfene ADC wurde in 21 parallelen Kanälen auf einem mixed-signal-Chip zusammen mit digitalen Filtern, vier RISC-CPU's und I/O-Schaltungen implementiert.

A 10 bit 10 MS/s Analog to Digital Converter, consuming a power of 8,4 mW, has been implemented. Due to the small area of 0,11 mm<sup>2</sup> this ADC is highly suited for multichannel implementations. A cyclic converter architecture is best suited for this application, being implemented in a 0,18 μm CMOS process with MIM-capacitors. The designed ADC was implemented in an array of 21 channels on a mixed signal chip together with digital filters, four RISC-CPU's and I/O circuitry.

---

## 1 Einleitung

Analog-Digital-Wandler (ADC) mit 10 bit Auflösung und mittleren Konversionsraten sind häufig benötigte Standardkomponenten, so daß zahlreiche Varianten am Markt verfügbar sind.

Das wissenschaftliche Interesse richtet sich vornehmlich auf besonders hohe Konversionsraten und Auflösungen, jedoch besteht auch im mittleren Segment der Bedarf nach neuen, verbesserten ADC. In zunehmendem Maße werden ADC als Teil von komplexen mixed-signal-Chips integriert, wobei besondere Anforderungen an Fläche und Störuneempfindlichkeit gestellt werden. Die Anpassung an moderne

sub-μm-CMOS-Prozesse mit kleinen Versorgungsspannungen wirft neue Probleme auf und führt nicht automatisch zur Verringerung des Leistungsbedarfs von Analogschaltungen.

## 2 ALICE-Projekt

Der entworfene Analog-Digital-Wandler zielt auf die Anforderungen des ALICE-Projekts am CERN in Genf. ALICE wird Schwerionenkollisionen durchführen, um die Entstehung des erwarteten Quark-Gluon-Plasmas bei extremen Energiedichten zu untersuchen. Die Front-End-Elektronik dieses Experiments benötigt 1,2 Millionen ADC mit 10 bit, 10 MS/s.

Dabei ist die Leistungsaufnahme ein kritischer Parameter, da die gesamte Front-End-Elektronik in sehr dichtem Aufbau realisiert wird, so daß die Kühlung problematisch ist. Aus diesem Grund muß die spezifische Leistung (in mW/MS/s) dieses ADC mindestens äquivalent zu der der besten erhältlichen ADC sein.

Jeweils 21 ADC sind auf einem mixed-signal-Chip angeordnet, zusammen mit 4 RISC-CPU's, Speicher und I/O-Schaltungen. Der hier erzielte kleine Flächenbedarf pro Wandler von 0,11 mm<sup>2</sup> ergibt eine Gesamtfläche von 35 mm<sup>2</sup>. Die Art der Implementierung erfordert eine besonders hohe Immunität der ADC gegen Störungen, die von der digitalen Logik verursacht werden, und eine gute Kanaltrennung bei grosser räumlicher Nähe der einzelnen Kanäle.

## 3 Architektur

Im Bereich der hier gegebenen mittlereren Konversionsraten und mittlereren Auflösungen findet man üblicherweise die folgenden Wandlertypen:

- Das Prinzip der *Sukzessiven Approximation* ist bekannt für seinen niedrigen Leistungsbedarf und einfache Wandlerstruktur. Die benötigte Leistung beschränkt sich fast ausschließlich auf die dynamische Leistung

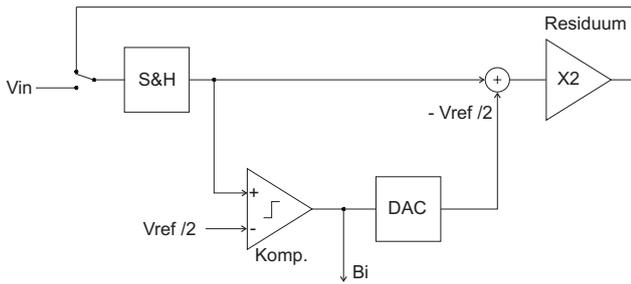


Abbildung 1. Blockschaltbild einer zyklischen Wandlerarchitektur.

von binär abgestuften Kondensatoren des DAC, die von Signalquelle und Referenzspannung umgeladen werden. Nachteilig ist die Notwendigkeit eines schnellen und präzisen Komparators, der die Konversionsrate und Genauigkeit des ganzen Wandlers begrenzt. Die modernen sub- $\mu\text{m}$  CMOS-Prozesse sind wenig geeignet für präzise Komparatoren, weshalb die Zahl der veröffentlichten Sukzessive-Approximations-Wandlern in den letzten Jahren abnimmt.

- $\Delta\Sigma$ -ADC haben ihre Vorteile in hoher Linearität und einfachem Anti-Aliasing-Filter. Für Konversionsraten unter 10 MS/s und Auflösungen über 10 bit sind sie sicher die erste Wahl. Im Bereich um 10 MS/s werden fast ausschließlich continuous-time-Implementierungen erwähnt, die von absoluten Bauteilwerten abhängen und sehr jitterempfindlich sind. Oft wird eine Trimmung oder andere zusätzliche Regelung benötigt, um Bandbreite oder Stabilität sicherzustellen. Diese Schwierigkeiten zusammen mit Leistungsverbrauch und Komplexität des Dezimierungsfilters sind der Grund, warum für diese Anwendung kein  $\Delta\Sigma$ -ADC gewählt wurde.

- Pipeline-ADC bieten eine relativ einfache Architektur, ausreichende Genauigkeit für den 10 bit-Bereich und mögliche Konversionsraten  $>100$  MS/s (Min, 2003; Yoo, 2003).

Die neuesten 10 bit ADC mit der kleinsten spezifischen Leistung in mW/MS/s sind durchweg Pipeline-Implementierungen (Miyazaki, 2003). Zudem sind sie in Switched-Capacitor-Umsetzung sehr geeignet für CMOS-Technologien, da die einzige benötigte Präzision bei der Implementierung in genauen Kondensatorverhältnissen besteht. Die Anforderungen an die integrierten Komparatoren werden stark entspannt durch die Redundant-Signed-Digit-Technik (RSD) (Ginetti, 1992), die sich eines zusätzlichen, redundanten Komparators bedient. Diese Technik ist als Grund für die häufige Verwendung dieses Wandlertyps anzusehen.

Niedriger Leistungsverbrauch war das Hauptauswahlkriterium für die Entscheidung über die Wandlerarchitektur, kleine Fläche und Kompatibilität mit modernen CMOS-Prozessen weitere Kriterien, so daß eine zyklische Architektur gewählt wurde. Zyklische oder algorithmische Wand-

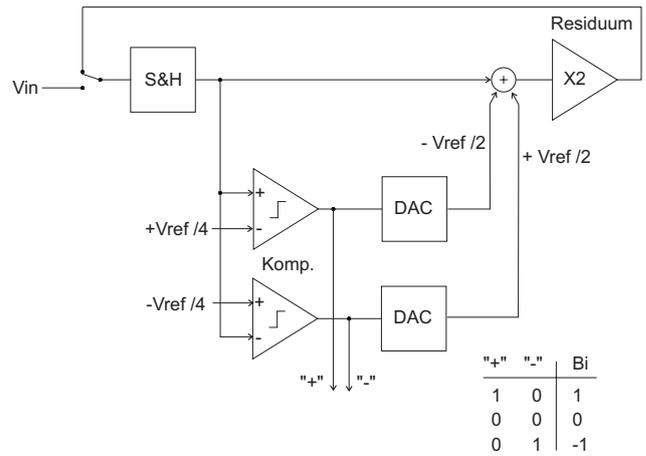


Abbildung 2. Zyklische Architektur mit redundantem 2. Komparator (RSD).

ler verwenden das gleiche Funktionsprinzip wie Pipeline-Wandler, quantisieren jedoch sequentiell in nur einer Stufe statt in mehreren Pipeline-Stufen. Die erreichbare Konversionsrate ist entsprechend niedriger, der Flächenbedarf ebenfalls.

#### 4 Zyklisches Wandlerprinzip

Abbildung 1 erläutert den Prinzipablauf einer zyklischen AD-Wandlung.

In der Sample-Phase wird das Eingangssignal  $V_{in}$  im Sample&Hold S&H gespeichert. Der Komparator vergleicht es mit  $V_{ref}/2$  und erzeugt mit dieser Entscheidung das MSB. Der 1 bit DAC subtrahiert  $V_{ref}/2$  vom S&H-Signal, je nach Zustand des erzeugten Bits. Das Ergebnis der Subtraktion wird mit dem Faktor 2 verstärkt und als Residuum ins S&H geleitet. Das S&H speichert ab jetzt nach jedem Zyklus die Residuen bis zur nächsten Sample-Phase. Wegen der Verstärkung mit 2 kann das Residuum den gleichen Signalbereich abdecken wie das Eingangssignal, so daß es im nächsten Zyklus mit der selben Stufe weiter verarbeitet werden kann. Zudem ist die Wertigkeit des nächsten erzeugten Bits genau halb so groß wie die des vorigen.

Die Residuen durchlaufen die Stufe so lange, bis die benötigte Anzahl an Bits quantisiert ist, dann wird ein neues Sample aufgenommen.

Die einfache Struktur in Abb. 1 kommt mit einem Komparator aus, der jedoch sehr exakt sein muß. Jeder Offset führt direkt zu Fehlern in der integralen Nichtlinearität des ADC.

Ginetti (1992) verbesserte diesen Wandlertyp durch Hinzufügen eines zweiten Komparators, wie in Abb. 2 dargestellt.

Der Algorithmus dieser Redundant-Signed-Digit-Technik (RSD) ist in Abb. 3 dargestellt. Die beiden Komparatoren teilen den Signalbereich  $V_x$  in drei Bereiche ein. Je nachdem, in welchem Bereich das Signal erkannt wird, wird es verschieden weiter behandelt. Von großen positiven Signalen

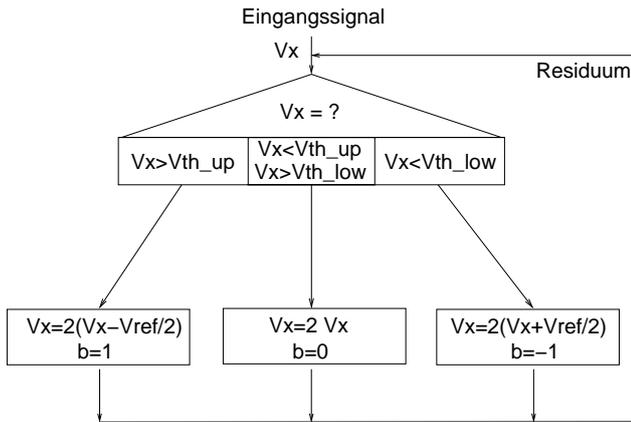


Abbildung 3. Schema des RSD-Algorithmus.

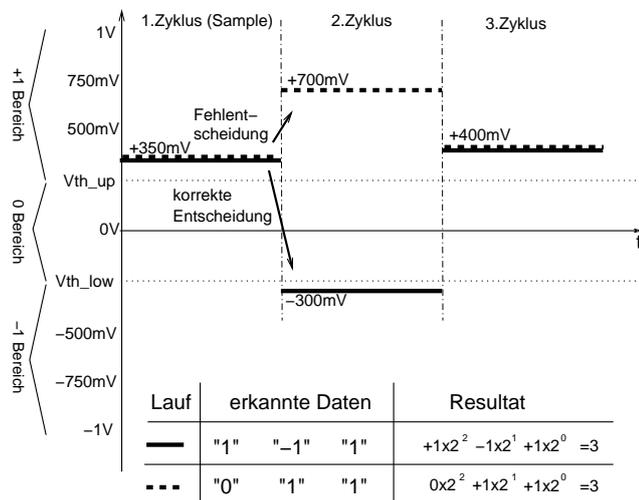


Abbildung 4. Möglicher zeitlicher Signalverlauf mit RSD (hier nur drei Zyklen).

wird die halbe Referenzspannung abgezogen, bevor sie weiter verstärkt werden, kleine Signale werden nur verstärkt, zu großen negativen Signalen wird die halbe Referenzspannung addiert. Der Vorteil dieser Dreibereichsentscheidung ist, daß sie gegenüber Fehlentscheidungen der Komparatoren in hohem Maße tolerant ist, da auch falsch behandelte Signale nicht automatisch zu Überläufen führen.

Abbildung 4 stellt in drei Zyklen zwei mögliche Signalverläufe während der Konversion dar, die sich aus einer Fehlentscheidung im ersten Zyklus ergeben. Der konvertierte Digitalwert ist identisch für beide Läufe.

Im ersten Zyklus (Sample-Phase) wird ein 350 mV-Signal aufgenommen. Bei einer Referenzspannung von 1 V reicht der mögliche Eingangsbereich von  $-1$  V bis  $+1$  V. Der implementierte ADC hat den gleichen Eingangsbereich. Die beiden Komparatorschwellen liegen bei  $V_{th\_up} = +250$  mV und  $V_{th\_low} = -250$  mV. Der Lauf in durchgezogener Linie zeigt den Signalverlauf bei korrekten Komparatorentscheidungen und die erzeugten Daten. Binär gewichtet ergeben die Daten als Resultat den Wert 3.

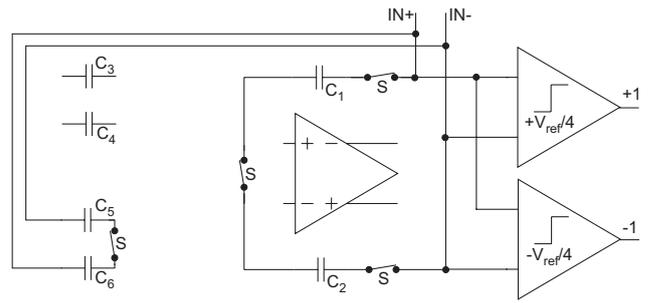


Abbildung 5. Analogteil des ADC während der Sample-Phase (nur relevante Schalter eingezeichnet).

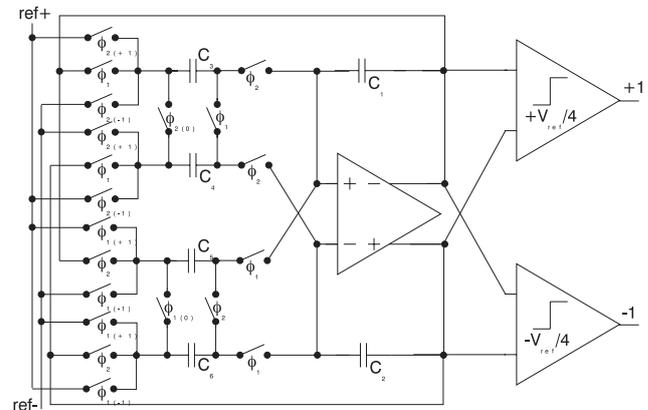


Abbildung 6. Analogteil des ADC während der Konversions-Phasen.

Die gestrichelte Kurve stellt den Verlauf für eine Fehlentscheidung im ersten Zyklus dar. Der Signalverlauf und die erkannten Daten sind verschieden, der erzeugte Wert ist jedoch ebenfalls 3.

Jede der beiden Schwellen kann in diesem Beispiel im Bereich um  $\pm 250$  mV schwanken, ohne daß es zu Überläufen kommt.

Ein weiterer Vorteil von RSD ist, daß sich aus n Zyklen  $2^{n+1} - 1$  verschiedene mögliche Werte ergeben, so daß für den entworfenen 10 bit ADC prinzipiell 9 Zyklen ausreichen.

### 5 Implementierung

Wie in Abb. 2 dargestellt, sind die grundlegenden Funktionen, mit denen eine zyklische Konversion mit RSD durchgeführt werden kann, ein S&H, ein  $\times 2$ -Verstärker, eine Möglichkeit, die Referenzspannung zum Signal zu addieren/subtrahieren und 2 Komparatoren. Eine sehr effiziente Struktur zur Implementierung dieser Funktionen besteht aus einem Verstärker, 6 Kondensatoren und 2 Komparatoren (Nagaraj, 1993). Abbildung 5 stellt diese Struktur, den Analogteil des ADC, während der Sample-Phase dar.

Das Eingangssignal wird auf den differentiellen Kondensatorpärchen  $C_1, C_2$  und  $C_5, C_6$  gespeichert. Dies stellt das S&H dar. Kurz vor Ende der Sample-Phase kippen die

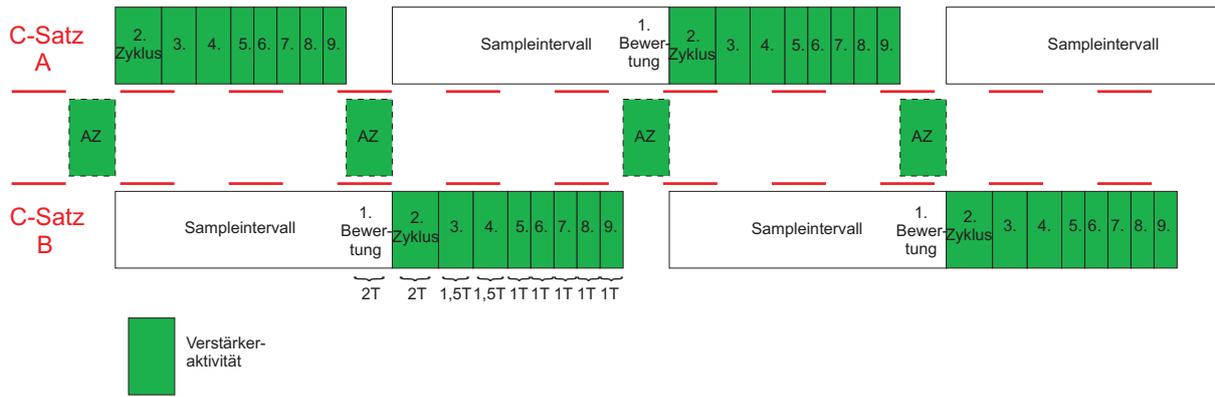


Abbildung 7. Verschieden lange Zyklen und zwei Kondensatorsätze.

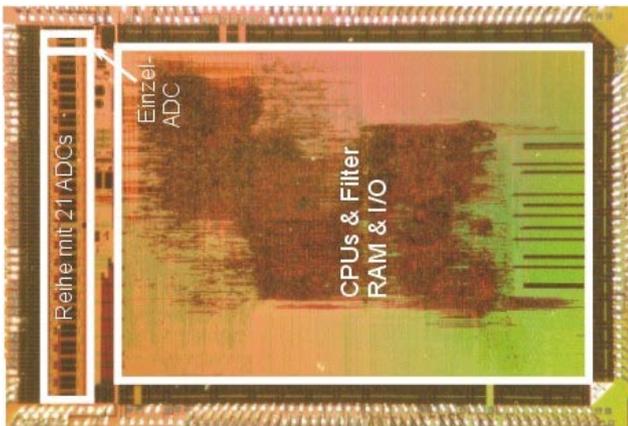


Abbildung 8. Chipfoto, Fläche 5 mm×7 mm.

Tabelle 1. Daten des ADC.

Konversionsrate	10,4 MS/s
Auflösung	10 bit
DNL	±0,8 LSB
INL	+1 LSB, -1,5 LSB
Fläche	0,11 mm <sup>2</sup>
Technologie	UMC 0,18 μm CMOS, MIMCAPs
Leistung@10,4 MS/s	8,4 mW
SINAD@2,4 MHz	54,4 dB
SNR@2,4 MHz	56,2 dB
ENOB@2,4 MHz	8,7 bit
SFDR@2,4 MHz	61,5 dB

Komparatoren, um zum Beginn der nächsten Phase definierte Zustände angenommen zu haben.

Im nächsten Zyklus in Abb. 6 ist Takt  $\phi_1$  aktiv.  $C_1, C_2$  sind in die Rückkopplung des Verstärkers geschaltet,  $C_5, C_6$  an die Eingänge. Ihre linken Seiten werden je nach Komparatorentscheidung im letzten Zyklus von den  $\phi_1(0)$ -,  $\phi_1(+1)$ - oder  $\phi_1(-1)$ -Schaltern miteinander verbunden oder gegen die differentielle Referenzspannung geschaltet. Die Differenzladung von  $C_5, C_6$  wird so auf  $C_1, C_2$  transferiert; wenn  $C_5, C_6$  gegen die Referenzspannung geschaltet werden, wird gleichzeitig die halbe Referenzspannung abgezogen oder addiert, je nach Polung. So werden die beiden DACs und die Verstärkung um 2 aus Abb. 2 realisiert.  $C_3, C_4$  sind mit dem Verstärkerausgang verbunden und werden auf den Wert des Residuums aufgeladen. Das Residuum befindet sich am Ende dieses Zyklus auf  $C_1, C_2$  und  $C_3, C_4$ , die jetzt das S&H bilden.

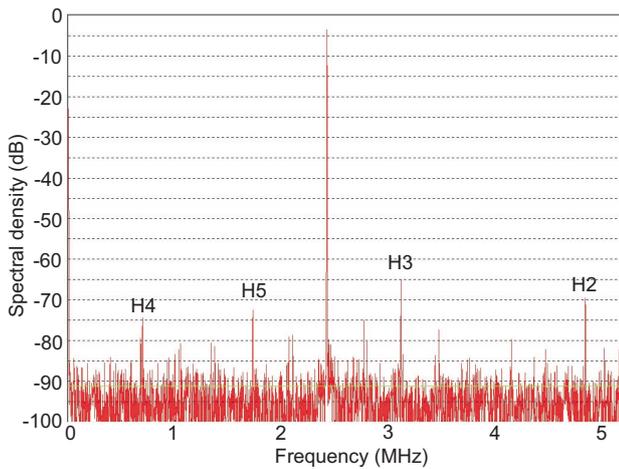
Im nächsten Zyklus ist  $\phi_2$  aktiv. Die Rollen von  $C_5, C_6$  und  $C_3, C_4$  werden vertauscht, so daß das neue Residuum auf die gleiche Art und Weise weiterverarbeitet werden kann.

Der neunte und letzte Zyklus vor dem nächsten Sample ist leicht verschieden.  $C_5, C_6$  werden mit vertauschter Polung an die Verstärkerausgänge geschaltet, so daß sie das nega-

tive Residuum speichern (Zusätzliche Schalter nicht eingezeichnet). In der direkt anschließenden Sample-Phase gleichen sich die Ladungen von  $C_5, C_6$  und  $C_1, C_2$  aus, so daß ein effektiv entladener Kondensator an den Eingang geschaltet wird. Dies führt zu weniger Störungen für die Signalquelle als Kondensatoren, die noch das letzte Residuum tragen. Dieses Nullen der Samplekondensatoren ist möglich ohne einen zusätzlichen Zyklus einlegen zu müssen.

## 6 Low-Power-Designaspekte

Die Stromaufnahme des entworfenen ADC wird bestimmt durch den Stromverbrauch des Verstärkers im Analogteil. Die Kondensatorgröße ist durch Mismatchprobleme und Rauschen vorgegeben. Der Verstärkerstrom ist direkt proportional zur Steilheit, die die Transitfrequenz bestimmt. Der Strom läßt sich nur minimieren, wenn mit kleinerer Transitfrequenz, also maximal langen Einschwingzeiten in der Switched-Capacitor-Schaltung gearbeitet wird. Die Zeit zwischen zwei Samples muß voll für die nötigen neun Zyklen ausgenutzt werden.



**Abbildung 9.** Spektrum eines gemessenen 2,4 MHz Sinussignals bei 10,4 MS/s.

Zudem sind die Genauigkeitsanforderungen in den ersten Zyklen höher als in den letzten, da die Wertigkeit der erzeugten Daten von Zyklus zu Zyklus abnimmt. Im entworfenen ADC sind deshalb die ersten Zyklen länger als die letzten, um hier das Einschwingen zu verbessern.

Abbildung 7 erläutert die Verteilung der Zyklen. Der ADC verfügt über zwei komplette Sätze der Kondensatoren  $C_1$  bis  $C_6$ , mit C-Satz A und C-Satz B bezeichnet. Einer dieser Sätze führt jeweils mit dem Verstärker die Konversion durch, während der andere frei ist für die Sample-Phase. So verlängert sich die Sample-Phase auf die volle Zeit von 100 ns, während sie andernfalls nur so lang wie einer der ersten Zyklen sein könnte. Ein längeres Sampleintervall erlaubt hochohmigeren Signalquellen mit niedrigerem Leistungsverbrauch. 2 Sätze Kondensatoren stellen eine Lösung dieses Problems dar ohne den Leistungsverbrauch des ADC zu erhöhen.

Die mit AZ bezeichneten Blöcke in Abb. 7 sind Autozero-Zyklen des Verstärkers, mit denen Offset und  $1/f$ -Rauschen unterdrückt werden (Enz, 1984).

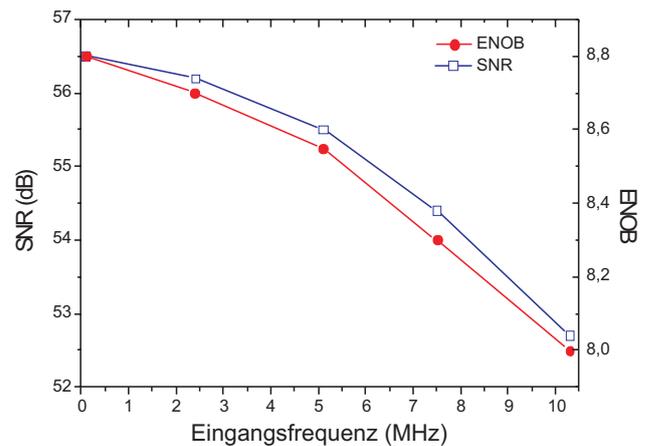
## 7 Ergebnisse

Der präsentierte ADC wurde in einem  $0,18 \mu\text{m}$ -CMOS Prozess mit Metall-Metall-Kondensatoren implementiert. Jeweils 21 ADC befinden sich auf einem Chip an der kürzeren Seite in Abb. 8 links.

Der Chip wurde in Arbeitsteilung mit der Gruppe um Professor Lindenstruth vom Kirchhoff Institut für Physik der Universität Heidelberg entworfen.

Alle Messungen wurden mit 21 ADC simultan aktiv durchgeführt. Eine der 4 CPUs war aktiv, um die Daten in den Speicher zu schreiben. Anschließend wurden die Daten in einem angeschlossenen PC analysiert.

Abbildung 9 zeigt das Spektrum eines 2,4 MHz Sinussignals bei einer Konversionsrate von 10,4 MS/s. Das SNR ist 56,2 dB, die effektive Auflösung (ENOB) ist 8,7 bit. In



**Abbildung 10.** SNR und ENOB über der Eingangsfrequenz.

Abb. 10 sind SNR und ENOB über der Eingangsfrequenz aufgetragen. Die dargestellten Frequenzen reichen bis zu etwa der zweifachen Nyquistfrequenz.

Tabelle 1 faßt die Daten des ADC zusammen. Die Leistungsaufnahme bei 10,4 MS/s ist 8,4 mW pro Kanal. Diese beinhaltet den Switched-Capacitor Block, den Sequencer, die digitalen Ausgänge on-chip und Puffer für die Referenzspannung. Ausgenommen sind nur eine PLL und die Erzeugung der Referenzspannung.

*Danksagung.* Wir möchten der Gruppe um Prof. Lindenstruth für die Möglichkeit danken, den ADC für das ALICE-Projekt entwerfen zu dürfen, ferner für den Entwurf des Digitalteils und für die Unterstützung bei den Messungen.

## Literatur

- ALICE: Transition Radiation Detector, Technical design report, CERN/LHCC 2001-021, ALICE TRD 9, 3 October 2001.
- Enz, C.: Analysis of low-frequency noise reduction by autozero technique, *Electronics Letters*, 20, 23, 959, 1984.
- Ginetti, B.: A CMOS 13 bit Cyclic RSD A/D Converter, *IEEE Journal of Solid State Circuits*, 957, 1992.
- Min, B.: A 69 mW 10 bit 80 MS/s Pipelined CMOS ADC, *IEEE International Solid-State-Circuits Conference 2003, Digest of technical papers*, 324, 2003.
- Miyazaki, D.: A 10 bit 30 MS/s Low-Power Pipelined CMOS A/D Converter Using a Pseudodifferential Architecture, *IEEE Journal of solid state circuits*, 38, 2, 369, 2003.
- Nagaraj, K.: Efficient Circuit Configurations for Algorithmic Analog to Digital Converters, *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, 40, 12, 777, 1993.
- Subiela, D.: A Low-Power 16-channel AD Converter and Digital Processor ASIC, *Proceedings of the ESSCIRC 2002*, 259, 2003.
- Wada, A.: A 14 mW 10 bit 20-Msamples/s ADC in  $0.18 \mu\text{m}$  CMOS with 61 MHz-input, *Proceedings of the ESSCIRC 2002*, 459, 2002.
- Yoo, S.: A 10 bit 150 MS/s 123 mW  $0.18 \mu\text{m}$  CMOS Pipelined ADC, *IEEE International Solid-State-Circuits Conference 2003, Digest of technical papers*, 326, 2003.