

Eine Test- und Ansteuerschaltung für eine neuartige 3D Verbindungstechnologie

M. Bschorr¹, H.-J. Pfeiderer¹, P. Benkart², A. Kaiser², A. Munding², E. Kohn², A. Heitmann³, H. Hübner³, and U. Ramacher³

¹Universität Ulm, Abt. Allgemeine Elektrotechnik und Mikroelektronik, Albert-Einstein-Allee 43, 89081 Ulm

²Universität Ulm, Abt. Elektronische Bauelemente und Schaltungen

³Infineon Technologies AG

Zusammenfassung. In der vorliegenden Arbeit wird eine Built-In Self-Test Schaltung (BIST) vorgestellt, welche die vertikalen Inter-Chip-Verbindungen in einer neuartigen 3D Schaltungstechnologie auf ihre Funktionalität zur Datenübertragung überprüft. Die 3D Technologie beruht auf der Stapelung mehrerer aktiver Silizium-CMOS-ICs, welche durch das Siliziumsubstrat hindurch vertikal miteinander elektrisch verbunden sind. Bei diesen Vias sind die zu erwartenden Defekte hochohmige Verbindungen und Kurzschlüsse.

Die entwickelte Testschaltung ermöglicht es, beliebige Konstellationen von vertikalen Verbindungen auf Fehler zu untersuchen, und das Ergebnis entweder zur Analyse der 3D Technologie auszulesen oder innerhalb des Chipstapels zu verwenden, um defekte Vias zu umgehen. Die Schaltung wurde in einer 0,13 μm Technologie entworfen und simuliert. Ein Testchip ist momentan in Produktion.

1 Einführung

Die gegenwärtigen Entwicklungen der Mikro- und Nanoelektronik decken den zukünftigen technologischen Bedarf zur Realisierung von Anwendungen nur unzureichend ab. Beispielsweise im Bereich der mobilen Kommunikation nimmt die Vielzahl der zu implementierenden Funktionalitäten und damit der Energie- und Platzbedarf der technischen Realisierung stärker zu als dieser durch Strukturverkleinerung im Rahmen der Technologie-Roadmap kompensiert werden kann. Beispiele für Anwendungen in diesem Bereich sind das Kodieren und Dekodieren von Videobildern, MultiMegaPixel Kameras, interaktive mobile Spiele oder Videotelephonie. Standards wie UMTS, WLAN oder HyperLAN bieten hierfür die geeignete Bandbreite der Datenkommunikation und müssen in zukünftigen mobilen Endgeräten

integriert werden. Viele komplexe Anwendungen, z.B. im Bereich der Bildverarbeitung und der Mensch-Maschine-Kommunikation, führen somit hin zu einer 'Power-Krise', wodurch diese Anwendungen auf einem mobilen Endgerät nur schwer realisierbar sind. Ebenso limitieren die physikalischen Abmessungen der Endgeräte die integrierbaren Chipflächen und Gehäuse auf wenige Quadratzentimeter, wodurch sich ebenfalls Einschränkungen hinsichtlich der Vielzahl und Komplexität realisierbarer Funktionen ergeben. Zudem ergeben sich zunehmend Systemarchitekturen, in denen heterogene Technologien miteinander fusioniert werden müssen. Die Optimierung von Sensoren, analogen Vorverarbeitungsstufen und digitalen Informationsverarbeitungssystemen führt zwangsläufig zu unterschiedlichen, nicht-kompatiblen Technologieplattformen für einzelne Teilsysteme, wodurch die Realisierung eines Gesamtsystems, beispielsweise durch 'Embedded'-Technologien, nur unter unzumutbar hohen Kosten hinsichtlich der Fertigung, oder nur unter unzulässigen Einschränkungen der Zuverlässigkeit möglich ist.

Eine mögliche Lösung der beschriebenen Probleme besteht in der Verwendung einer 3D-Verbindungstechnologie von Einzelchips (Munding et al., 2004). Durch die Möglichkeit, Kontakte flächig zwischen den zu verbindenden Schichten anzubringen, können durch die gewonnene Parallelität der Datenübertragung Übertragungsbandbreiten signifikant erhöht werden. Gleichzeitig werden Leitungslängen drastisch reduziert und die Verlustleistung durch Schaltaktivität erheblich gemindert. Zusätzliche Freiheit besteht in der Wahl des Formfaktors, da Teilsysteme nun in verschiedene Ebenen des Stapels untergebracht werden können und nicht mehr in einer einzigen Ebene flächig angeordnet werden müssen. Einzelne Schichten des Stapels können in für die jeweilige Teilfunktion optimierten Prozessen unabhängig voneinander gefertigt und vorgetestet werden. Diese Option ist insbesondere bei der gemischten Integration von Sensoren, Speichern, Logik und Analogschaltungen notwendig.

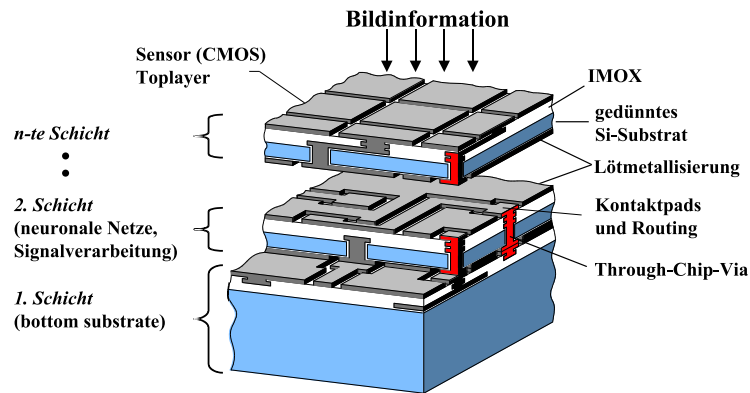


Abbildung 1. Schematische Darstellung der Aufbautechnologie.

Die 3D-Verbindungstechnik bedingt bei der Fertigung potentielle Fehlerquellen insbesondere bei der Herstellung vertikaler Kontakte. Da in der Prozessfolge ‘Known Good Dies’ verarbeitet werden können, welche mit Standardverfahren getestet werden können (Abramovici et al., 1990), besteht die Aufgabe hier darin, für die vertikalen Verbindungen effiziente Testverfahren zu entwickeln. Für das Testverfahren werden dabei folgende Fehlermodelle angenommen: Kurzschluss zu Masse, V_{DD} oder dem nächsten Nachbarn und ein zu hoher Leitungswiderstand bis hin zu einem unterbrochenen Kontakt.

Der BIST beruht auf der betragung von einfachen Testsignalen und Speicherung des Testergebnisses zur späteren Verwendung. Einerseits wird diese Information seriell über einen Scan-Path außerhalb des Chips ausgewertet, um bei der Technologieentwicklung und -optimierung statistische Informationen zu erlangen. Andererseits kann sie intern verwendet werden, um defekte Verbindungen zu erkennen und mit Hilfe von aktiver Schaltungstechnik alternative Signalwege zu finden. Dadurch kann die Ausbeute einer neuartigen Technologie entscheidend verbessert werden.

2 System

Ziel der Entwicklung ist es, einen Chipstapel herzustellen, der eine neue Schaltungs- und Packaging-Technologie vorstellt. Damit soll eine Bildverarbeitungsarchitektur realisiert werden, die auf gepulsten neuronalen Netzen basiert. Die Aufgabe der 3D-Technologie ist hier, die benötigte Vernetzungsdichte unter den einzelnen neuronalen Zellen bereitzustellen.

Die einzelnen Schaltungselemente sind in gemischt analog/digitaler Schaltungstechnik realisiert. Insbesondere durch die analoge Implementierung der Integrate-And-Fire Neuronen kann eine robuste Bildverarbeitung bei moderaten Frequenzen und damit niedrigem Energieverbrauch gewährleistet werden (Schreiter et al., 2004).

Das in Abbildung 1 schematisch dargestellte System soll mit Hilfe eines in mehrere Schichten des 3D-Stapels

aufgeteilten neuronalen Netzes eine Merkmalerkennung realisieren (Heittmann et al., 2002).

3 Technologie

Für die 3D-Integration wurde eine Vielzahl von Technologieschritten entwickelt, welche sowohl die elektrische Verbindung als auch die mechanische Stabilität des Stapels berücksichtigen (Munding et al., 2004). Ausgangspunkt sind CMOS-Chips, deren Prozessierung nicht verändert wird. Die neue Technologie setzt nach Herstellung und Test dieser Schaltungen an.

Zunächst müssen die fertig prozessierten Silizium-CMOS-Chips auf eine Restdicke von ca. $10\ \mu\text{m}$ gedünnt werden. Durch diesen Schritt ergibt sich ein für tz- und Galvanikprozesse wichtiges Aspektverhältnis von 1:2 für die herzustellenden Durchkontaktierungen. In verschiedenen Rückseitenprozessen werden Löcher von $5\ \mu\text{m}$ Durchmesser geätzt und diese isoliert sowie galvanisch mit Kupfer aufgefüllt. Mit einer Kupfer- und einer Zinnschicht versehen kann diese Unterseite mit der Oberseite eines ebenfalls mit Kupfer vorbereiteten Chips bzw. Chipstapels verlötet werden. Bei dieser Löttechnik (SOLID, Hübner et al., 2002) handelt es sich, wie bei den übrigen 3D-Technologie-Schritten, um einen Niedertemperaturschritt. Dies ist notwendig, da bereits fertige CMOS-Schaltungen verarbeitet werden, deren Temperaturbudget nicht überschritten werden darf. Eine REM-Aufnahme eines fertig prozessierten Chipstapels ist in Abbildung 2 zu sehen. Man erkennt einen ungedünnten Basischip, auf den sechs gedünnte Stapelchips gelötet wurden.

3.1 Ersatzschaltbild eines Vias

Durch die von der Technologie vorgegebenen Materialien, Abmessungen und Abstände kann ein Ersatzschaltbild der vertikalen Verbindung extrahiert werden (siehe Abbildung 3). Aufgrund des durch die Oxiddicke festgelegten geringen Abstand von weniger als $1\ \mu\text{m}$ zwischen der Kupferleitung an der Unterseite des gedünnten Chips und einer

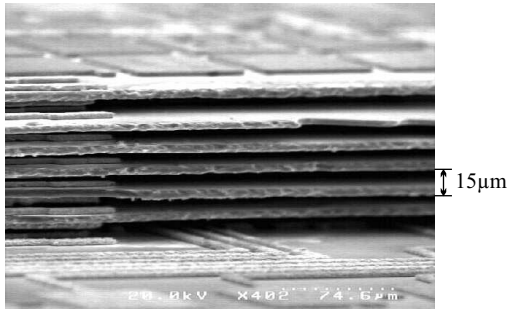


Abbildung 2. REM-Aufnahme eines Stapels aus sieben Silizium-Chips.

p^+ -Schicht im Substrat ergibt sich eine relativ groe Kapazität zum Substrat $C_{Substrat}$, welche durch einen Plattenkondensator angenähert werden kann. Der Abstand der Kupferleitung zum Substrat ist an den Seitenwänden der Vias näherungsweise gleich, aufgrund der hohen Widerstand R_{Si} des gering dotierten Siliziums ergibt sich hier jedoch kein nennenswerter Kapazitätzuwachs. Ebenso ist durch die wesentlich größeren Abstände die Koppelkapazität C_{Koppel} zu benachbarten Vias vernachlässigbar. Die Ergebnisse sind in Tabelle 1 zusammengefasst. Abschätzungen bzgl. der Eigen- und Koppelinduktivitäten der Verbindungen haben Werte ergeben, deren Effekte bei den vorgegebenen Signalfrequenzen das Verhalten des Signalweges nicht beeinflussen.

3.2 Fehlerquellen

Durch die zahlreichen technologischen Schritte kann es bei der Herstellung eines Chipstapels unausweichlich zu Defekten. Eine mögliche Fehlerquelle sind Probleme beim Auffüllen der Vialöcher mit Kupfer. Die Folge nicht homogen gefüllter Vias ist ein sehr hoher Widerstand bis hin zu nicht vorhandener elektrischer Verbindung. Die gleiche Auswirkung hat auch ein schlecht verlöteter Kontakt, was z.B. durch Dejustage beim Lötprozess hervorgerufen werden kann.

Durch Probleme wie nicht planare Oberflächen und damit inhomogene Druckverteilung beim Verbinden zweier Chips sind auch Lotauspressungen denkbar, welche zu Kurzschlüssen mit dem nächsten Nachbarn führen. Der nächste Nachbar kann in der vorliegenden Anwendung entweder eine weitere Datenleitung oder eine Verbindung zu Masse sein.

3.3 Anforderungen an die Testschaltung

Die im Abschnitt 3.2 genannten Defekte sollen von dem BIST erkannt und das betroffene Via als defekt markiert werden. Dieses Ergebnis wird lokal abgespeichert und kann bei Bedarf seriell vom Chipstapel ausgelesen werden. Während Kürzschlüsse und nicht vorhandene Verbindungen die Extremfälle sind, ist es auch notwendig, einen Grenzwiderstand für hochohmige Kontakte festzulegen, ab welcher der Test des Kontaktes negativ ausfällt.

Tabelle 1. Extrahierte Werte des Ersatzschaltbildes.

Substratkapazitätsbelag	$C'_{Substrat} \approx 0,2 \frac{fF}{\mu m^2}$
Substratkapazität Abb. 3	$C_{Substrat} = 100 fF$
Koppelkapazität	$C_{Koppel} = 1 fF$
Viawiderstand	$R_{Via} < 5 \Omega$

Weitere Anforderungen an die Testschaltung ergeben sich beim Flächenbedarf, welcher minimiert werden muss. Der Flächenverbrauch des BIST sollte im gleichen Größenbereich bleiben, wie das Via selbst benötigt, so dass eine möglichst groe Fläche für die eigentlich Anwendungsschaltung verbleibt.

4 Testvorgehensweise

Bekannte und etablierte Testalgorithmen (Abramovici et al., 1990) sind nur unzureichend an das vorliegende Fehlermodell angepasst, und dadurch zu schaltungsintensiv. Ihr Anwendungsfeld ist nicht das Testen von Verbindungen, sondern von komplexen Schaltungsblöcken. Es wurde deswegen eine neue, auf das Problem abgestimmte Vorgehensweise entwickelt. Das in Abbildung 4 dargestellte Schema gibt ein Beispiel eines zu untersuchenden Via-Arrays wieder. Die mit wei bzw. grau dargestellten Ebenen A und B symbolisieren hier zwei Chips, die miteinander verbunden wurden. Zu erkennende Fehler sind zum einen eine nicht funktionierende Verbindung und zum anderen zwei Kurzschlüsse zu nächsten Nachbarn.

Im ersten Schritt erzeugen die Testschaltungen im unteren Chip (A) einen Impuls, der durch die Vias zum oberen Chip (B) übertragen wird. Wird das Signal in B korrekt empfangen, speichert dieser das positive Ergebnis ab. Erreicht das Signal B nicht oder zu schlecht, so bleibt dieser auf dem Default-Wert: Die Verbindung funktioniert nicht.

Die Grenze ab der eine schlechte Verbindung als fehlerhaft erkannt wird, kann durch die Dimensionierung der Treibertransistoren eingestellt werden. Wie in Abbildung 3 zu sehen ist, wird der zum Test verwendete Spannungsimpuls durch die als RC-Netzwerk modellierbaren Transmission-Gates und das Via verzögert, bzw. die Steilheit der Flanken des Signals verringert (siehe Abbildung 5). Je höher der Viawiderstand, und damit je größer das RC-Produkt der gesamten Verbindung ist, desto größer die Verzögerung τ_{Via} , nach der das Testsignal beim Empfänger detektiert wird. Bei zu hohem Verbindungswiderstand erreicht der Impuls den Empfänger nicht innerhalb der von der Steuerschaltung vorgegebenen Zeit den Empfänger, der Test fällt negativ aus. Da die Schaltung mit Hilfe von Standardzellen entworfen wurde, stand nicht jede Transistorweite und -breite zur Verfügung. Dadurch ergibt sich für den realisierten Testchip eine Entscheidungsgrenze für R_{Via} , die je nach Technologieparametern im einstelligen $k\Omega$ Bereich liegt. Können durch Full-Custom-Design die Transistoren frei definiert werden, ist es

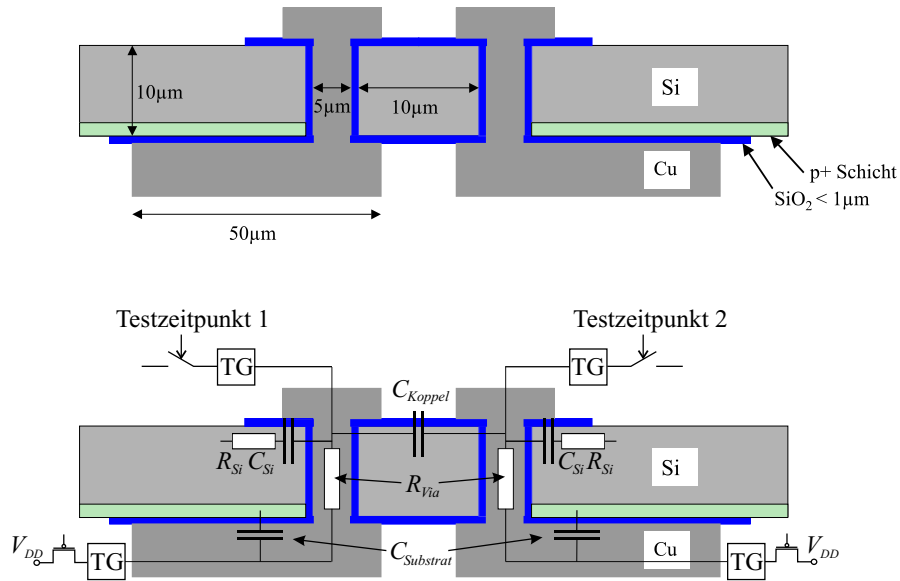


Abbildung 3. Schematische Darstellung, Ersatzschaltbild und Testvorgehensweise zweier benachbarter Vias.

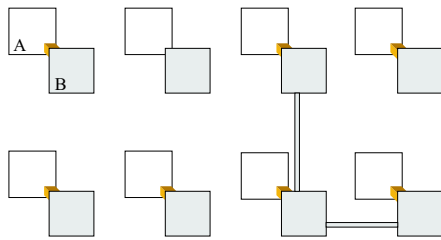


Abbildung 4. Darstellung eines 2x4 Via-Feldes mit möglichen Defekten.

möglich diese Grenze z.B. in den Bereich weniger 10 oder 100 Ω zu verschieben.

Die Testphase findet nicht bei allen zu überprüfenden Vias gleichzeitig statt. Es ist deswegen durch die Vernetzung mit den nächsten Nachbarn möglich, gleichzeitig auf Kurzschluss mit diesen zu testen.

Im letzten Schritt wird nun die gesammelte Information durch die vertikalen Verbindungen zurück an den unteren Chip geschickt. Dies ist notwendig, falls das Ergebnis intern verwendet werden soll, um defekte Vias zu umgehen. Alternativ kann nun das gespeicherte Ergebnis über einen seriellen Bus an ein Analysesystem übertragen werden, um Information über die Häufigkeit und den Ort von Defekten zu erlangen.

5 Testschaltung

Der BIST wurde in einer 0,13µm Technologie entworfen. Die enthaltene Logik ist zum Groteil mit Transmission-Gates bzw. Transfer-Transistoren realisiert worden, um den in Abschnitt 3.3 dargelegten Anforderungen gerecht zu werden. In Abbildung 6 ist beispielhaft ein System für den Test von 2x4 Vias dargestellt. Zur berprüfung einer beliebig langen Doppelreihe (2x x), ist nur ein Steuerblock nötig, um die einzelnen Phasen der Auswertung zu steuern.

Wie in Abbildung 7 zu sehen ist, besteht die Schaltung in der Ebene A lediglich aus einem Transmission-Gate, welches den Testvorgang initiiert, einem Transistor, der das Via in einen definierten Grundzustand versetzt und einem Flip-Flop, um das Testergebnis zu speichern.

Die Test- und Auswertungsschaltung in Ebene B (Abbildung 8) enthält neben Grundelementen aus Ebene A einige zusätzliche Bausteine. Die berprüfung auf Kurzschlüsse mit nächsten Nachbarn wurde mit kombinatorischer Logik

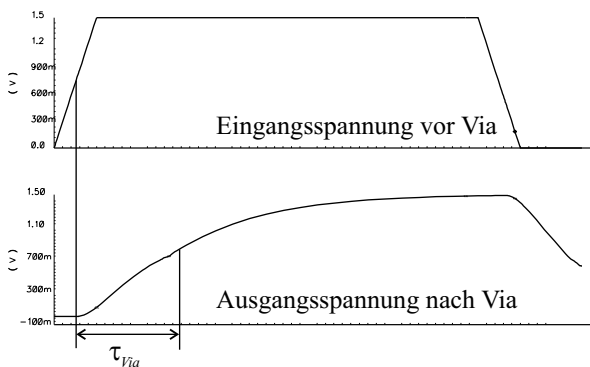


Abbildung 5. Degradation des Testsignals durch die RC-Charakteristik Inter-Chip-Verbindung.

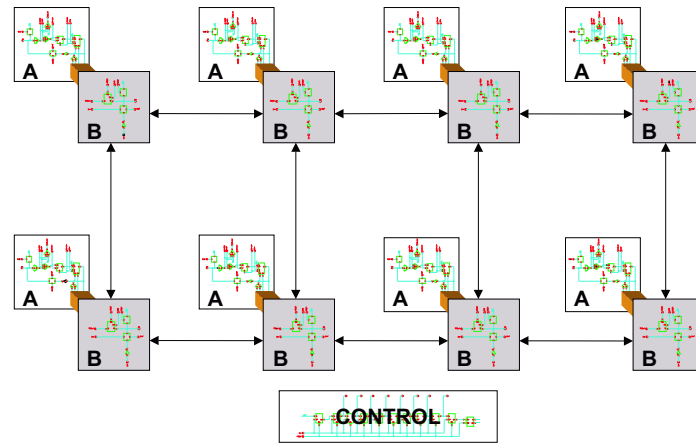


Abbildung 6. Gesamtschaltung zum Test eines Via-Feldes.

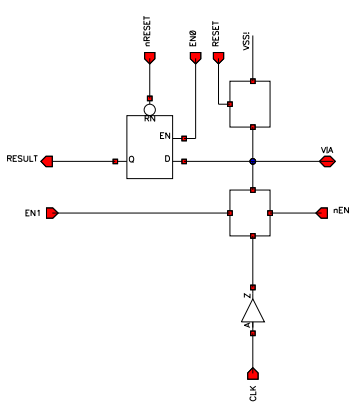


Abbildung 7. Den Test initiiierende Schaltung in Ebene A.

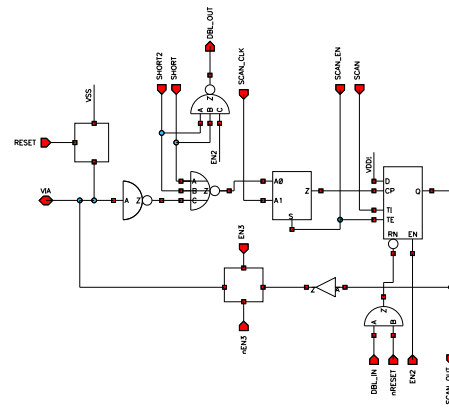


Abbildung 8. Test- und Auswertungsschaltung in Ebene B.

realisiert. Die beiden Eingänge SCAN_EN und SCAN_CLK steuern das serielle Auslesen des Testergebnisses. Dazu musste das einfache DFF aus Ebene A durch ein Scan-FF ersetzt werden, welches diese Funktion unterstützt.

Wie in Abschnitt 4 erwähnt, werden beim Test nächste Nachbarn nicht gleichzeitig geprüft. Desweiteren werden die Testphasen, an denen das gleiche Via angesprochen wird, nicht direkt hintereinander, sondern mit mindestens einem Taktzyklus Pause gestartet. Durch diese Vorgehensweise ist es nicht wichtig, bei der Ansteuerung auf eventuelle Verzögerungen oder Überlappungen der Test- und Steuersignale zu achten. Zur Anwendung kommt deswegen ein normales Schieberegister (siehe Abbildung 9).

6 Zusammenfassung und Ausblick

Vertikale Inter-Chip-Verbindungen einer neu entwickelten 3D Integrationstechnologie sind in der Entwicklungsphase erwartungsgemä mit zahlreichen Defekten behaftet. Es wurde eine Schaltung entworfen, welche die Vias automatisiert in Doppelreihen beliebiger Länge auf Verbindungsqualität

und Kurzschlüssen zu nächsten Nachbarn bzw. Masse testet. Für das Gesamtsystem zum Testen von 10 000 Vias ergab die Simulation bei einer Betriebsfrequenz von $f=100$ MHz einen mittleren Leistungsverbrauch von $\bar{P}=300$ mW.

Das System wurde in $0,13\mu\text{m}$ Technologie mit $V_{DD}=1,5$ V Versorgungsspannung entworfen und simuliert. Der Testchip befindet sich momentan in der Fertigung.

Die neuartige 3D-Technologie ist nicht nur für das vorgestellte Anwendungsbeispiel interessant. Sie kann einen Ausweg für verschiedene Probleme, welche die Schaltungstechnik jetzt betreffen und auch in Zukunft beschäftigen wird. Ein Thema ist die bereits in der Einführung angesprochene Interconnect-Problematik. Eine anderes die immer größer werdenden Systeme, die auf einem Chip integriert werden. Mit dieser Stapeltechnik ist es möglich, Chips verschiedener Technologie, ja sogar verschiedener Materialien (z.B. Silizium CMOS-Schaltungen, GaAs Optoelektronik, Mikromechanik) mit kurzen Interconnects in ein Bauteil zu integrieren.

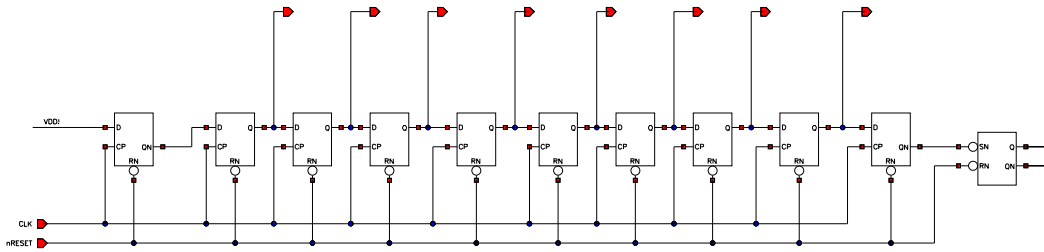


Abbildung 9. Schieberegister als Steuereinheit des Testvorganges.

7 Danksagung

Der Dank der Autoren gilt dem Bundesministerium für Bildung, Wissenschaft, Forschung und Technologie (BMBF) für die finanzielle Unterstützung im Rahmen des Projektes Vision IC (Förderkennzeichen 01M3127B).

Literatur

Abramovici, M., Breuer, M. A., and Friedman, A. D.: Digital Systems Testing and Testable Design. IEEE Press, New York, 1990.
 Heittmann, A., Ramacher, U., Matolin, D., Schreiter, J., and Schüffny, R.: An Analog VLSI Pulsed Neural Network for Image Segmentation Using Adaptive Connection Weights. ICANN 2002 Proceedings, Madrid, Spain, 2415, 1293–1298, 2002.

Hübner, H., Eigner, M., Gruber, W., Klumpp, A., Merkel, R., Ramm, P., Roth, M., Weber, J., and Wieland, R.: Face-to-Face Chip Integration with Full Metal Interface. Proc. Advanced Metallization Conference AMC 2002, 53, 2002.

Munding, A., Kaiser, A., Benkart, P., Bschorr, M., Heittmann, A., Hübner, H., Pfeleiderer, H.-J., Ramacher, U., and Kohn, E.: Chip Stacking Technology for 3D-Integration of Sensor Systems. HE-TECH 2004, 13th European workshop on heterostructure technology, October 2004, Heraklion, Greece, 2004.

Schreiter, J., Ramacher, U., Heittmann, A., Matolin, D., and Schüffny, R.: Cellular Pulse Coupled Neural Network with Adaptive-Weights for Image Segmentation and its VLSI Implementation. SPIE, San Jose (CA), USA, 5298, 290–296, 2004.