

Untersuchung von asynchronen Timing-Strategien für digitale Subthreshold-Schaltungen

N. Lotze, M. Ortmanns, and Y. Manoli

Universität Freiburg, Institut für Mikrosystemtechnik, Lehrstuhl für Mikroelektronik, Freiburg, Germany

Zusammenfassung. Eine der großen Herausforderungen beim Betrieb von Schaltungen bei extrem niedrigen Versorgungsspannungen ist die starke Zunahme des Einflusses zufälliger Prozessvariationen auf die Verzögerungszeiten der Gatter. Dies erfordert sehr hohe Sicherheitsmargen im Timing der Schaltungen, was zu einer deutlichen Verringerung der Geschwindigkeit und einem Anstieg der Energie pro Operation führt. Asynchrone Schaltungstechniken, die durch ihre Kodierung das Ende einer Operation detektieren können, sind daher bei dieser Anwendung eine interessante Alternative.

In dieser Veröffentlichung werden die notwendigen Sicherheitsmargen in Delay-Line basierten Subthreshold-Schaltungen diskutiert und mögliche asynchrone Dual-Rail Entwurfsmethoden vorgestellt. Transistor-Level Simulationsergebnisse für einen einfachen, in den diskutierten Techniken realisierten Zähler werden vorgestellt, um die Funktionsfähigkeit dieser Techniken im Subthreshold-Bereich zu demonstrieren. Multiplizier mit unterschiedlicher Wortbreite dienen als Beispiel für eine komplexere Schaltung, welche bezüglich Geschwindigkeit, Energiebedarf und Flächenaufwand mit einer entsprechenden Standard-Realisierung verglichen wird, was abschließend eine Aussage darüber zulässt, wann die untersuchten Techniken gewinnbringend eingesetzt werden können.

1 Einleitung

Elektronische Geräte mit extremen Anforderungen an die Leistungsaufnahme der verwendeten elektronischen Schaltkreise sind im alltäglichen Leben in Form von batteriegetriebenen Anwendungen allgegenwärtig. Bei diesen Anwendungen ist aus elektronischer Sicht insbesondere die Energie pro Operation interessant, da sie in direktem Zusammenhang mit der Batterielebensdauer steht. Als alternative Energiequelle

erfahren Energy-Harvesting Konzepte, die eine Gewinnung von Energie aus der Umgebung erlauben (Spremann et al., 2006), momentan hohes Interesse. Neben einer Minimierung der Energie pro Operation ist hier auf Grund der in vielen Realisierungen zeitlich stark schwankenden verfügbaren Ausgangsleistung und -spannung insbesondere wichtig, dass die verwendete Elektronik auch bei extrem niedrigen Versorgungsspannungen und mit extrem geringer Leistungsaufnahme zumindest noch eine Grundfunktionalität zur Verfügung stellen kann.

Digitale Subthreshold-Schaltungen sind daher in dreierlei Hinsicht interessant: Zum einen liegt die Versorgungsspannung, bei der die Energie pro Operation minimal wird, typischerweise im Subthreshold-Bereich (Wang et al., 2002). Zum anderen sinkt auch unterhalb dieser Spannung die Leistungsaufnahme weiter ab, so dass sich Schaltkreise mit extrem niedrigem Leistungsbedarf realisieren lassen, und zum dritten erlauben sie einen Aktivbetrieb mit der niedrigsten möglichen Versorgungsspannung.

Der Betrieb digitaler Schaltungen bei extrem niedrigen Spannungen stellt allerdings auch besondere Herausforderungen an den Schaltungsentwurf, insbesondere in Bezug auf die Zuverlässigkeit der Schaltungen. Kritisch sind in diesem Zusammenhang zum einen die Ausgangspegel der verwendeten Logikgatter, wodurch besondere Anforderungen an die Transistordimensionierung entstehen (Wang and Chandrakasan, 2004), und zum anderen das Timing der Schaltung, die das zentrale Thema dieser Publikation darstellt. Das Absenken der Versorgungsspannung führt zu einem massiven Anstieg des Einflusses von Prozessvariationen auf die Gatterlaufzeiten, was zu einer sehr hohen Variabilität derselben führt.

Eine weitere Herausforderung stellt die Verfügbarkeit geeigneter Takt-Quellen dar. Bei Verwendung dieser Schaltungstechnik in Energy Harvestern soll die gesamte Elektronik bei Subthreshold-Spannungen betrieben werden, was klassische Methoden, wie die Verwendung von Schwingquarzen, schwierig macht. Darüber hinaus ist es bei dieser Anwendung schwierig, sehr gut



Correspondence to: N. Lotze
(lotze@imtek.uni-freiburg.de)

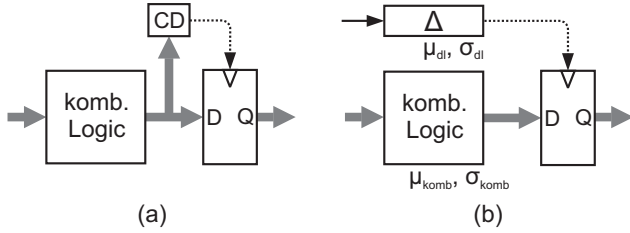


Abb. 1. Timing-Ansätze: Einsatz von Completion Detection (a), Delay-Line basiert (b).

regulierte Versorgungsspannungen zur Verfügung zu stellen. Auf Grund der im Subthreshold-Bereich exponentiellen Abhängigkeit der Schaltgeschwindigkeit von der Versorgungsspannung müsste dies bei einer festen Taktfrequenz jedoch gewährleistet sein.

Eine häufig verwendete Lösung ist daher die Verwendung von Delay-Lines (Abb. 1b). Die in Delay-Lines verwendeten Gatter weisen jedoch die gleichen hohen Delay-Variabilitäten auf wie die in der Kombinatorik verwendeten, was zusätzliche Sicherheitsmargen notwendig macht. Auf diesen Aspekt wird in Abschnitt 2 genauer eingegangen.

Asynchrone Schaltungstechniken zeigen bei konventionellen Betriebsspannungen eine sehr hohe Zuverlässigkeit und Adaptionfähigkeit an veränderliche Betriebsparameter. Insbesondere Schaltungstechniken, die selbstständig den Endpunkt einer Operation detektieren können, sind für die Anwendung im Subthreshold-Bereich sehr viel versprechend. Sie lösen das Problem der Variabilität optimal, indem sie eine sichere Operation bei der mit der individuellen Schaltung maximal möglichen Geschwindigkeit erlauben. Dem steht allerdings ein Mehraufwand in der Schaltungstechnik gegenüber, der eine genaue Untersuchung notwendig macht, wann der Einsatz dieser Entwurfsmethoden effizienzsteigernd ist.

Hierzu werden in Abschnitt 3 im Subthreshold-Bereich mögliche Implementierungen diskutiert und eine realisierte Proof-of-Concept-Schaltung vorgestellt. Abschnitt 4 untersucht, in welchem System-Kontext der Einsatz derartiger Schaltungen vorteilhaft ist und beschreibt den gewählten Ansatz zur Effizienz-Analyse. Die Ergebnisse dieser Analyse werden abschließend in Abschnitt 5 vorgestellt.

2 Zeit- und Energie-Overheads bei Delay-Line-Timing

Die für einen sicheren Betrieb einer Schaltung mit Delay-Line (Abb. 1b) notwendige Bedingung lautet

$$T_{pd, DL} > T_{pd, komb} \quad (1)$$

Wie von Zhai et al. (2005) gezeigt und durch eigene Simulationen bestätigt, ergibt sich durch den Einfluss von Prozessvariationen im Subthreshold-Bereich typischerweise ei-

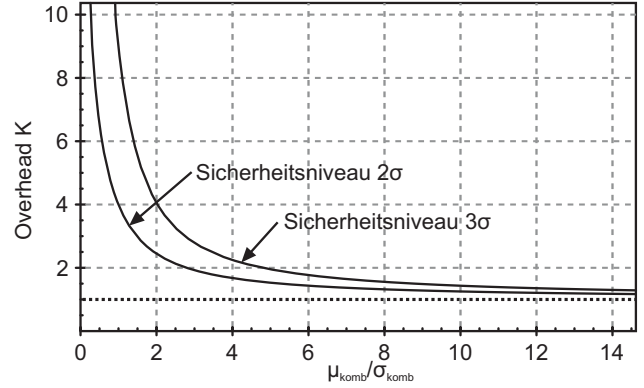


Abb. 2. Overhead bei Timing mit Delay-Line.

ne lognormale Wahrscheinlichkeitsverteilung der Gatterlaufzeiten. Die Bedingung (1) muss somit ausgedrückt werden als

$$P(T_{pd, DL} > T_{pd, komb}) > \alpha \quad (2)$$

mit α der Wahrscheinlichkeit für eine fehlerfreie Funktion der Schaltung (typisch wird ein 3σ -Sicherheitsniveau entsprechend $\alpha=99,7\%$ gefordert) und mit $T_{pd, DL}$ und $T_{pd, komb}$ als lognormal verteilten Wahrscheinlichkeitsvariablen mit den Mittelwerten μ_{DL} und μ_{komb} und den Standardabweichungen σ_{DL} und σ_{komb} . Da die Delay-Line typischerweise als Replika des längsten Pfades der Kombinatorik modelliert wird, lässt sich eine enge Korrelation zwischen den Timing-Parametern beider Schaltungsteile annehmen und somit mit $\mu_{DL} = K \cdot \mu_{komb}$ die Standardabweichung als $\sigma_{DL} \approx \sqrt{K \cdot \sigma_{komb}^2}$ angeben. Damit kann der für ein sicheres Timing notwendige Overhead K bei gegebenem α allein in Abhängigkeit von der relativen Standardabweichung σ_{komb}/μ_{komb} ausgedrückt werden. Eine genaue Herleitung findet sich in (Lotze et al., 2007). Abbildung 2 zeigt eine grafische Darstellung des notwendigen Overheads. Mit steigender Schaltungstiefe wird σ_{komb}/μ_{komb} auf Grund von Mittelungseffekten zwar kleiner, ein typischer Wert für ein notwendiges K bei sehr niedrigen Betriebsspannungen liegt aber auch für größere Blöcke noch immer bei 30%.

Die Overheads im Timing wirken sich nicht nur auf die Geschwindigkeit negativ aus, sondern auch auf die effektive Energie pro Operation. Diese lässt sich unter Vernachlässigung der Kurzschlussströme beschreiben als

$$E/Op = C_{eff} V_{dd}^2 + I_{Leck, eff} V_{dd} t_{op} \quad (3)$$

mit C_{eff} der pro Operation geschalteten Kapazität, V_{dd} der Versorgungsspannung, $I_{Leck, eff}$ dem Mittelwert des Leckstroms über die gesamte Operation und t_{op} der Zykluszeit der Operation. Der erste Term repräsentiert dabei den durch Aktiv- und der zweite den durch Leckströme verursachten Anteil der Energie pro Operation (E/Op). Das

Verhältnis beider Anteile ist insbesondere abhängig von der Aktivität innerhalb einer betrachteten Schaltung und der verwendeten Versorgungsspannung, wobei mit absinkender Versorgungsspannung der Anteil der durch Leckströme verursachten E/Op stark ansteigt. Daraus resultiert, dass ein Anstieg von t_{op} durch notwendige Sicherheitsmargen bei sehr niedrigen Spannungen auch zu einem deutlichen Anstieg der E/Op führt, was Ansätze zur Reduktion der Zykluszeit auch aus energetischer Sicht motiviert.

3 Implementierung von Logik mit Endpunkterkennung

Zwei wesentliche Implementationsstrategien für Logik mit Endpunkterkennung, das heißt Logik, die das Ende einer Operation selbständig detektieren kann, werden in der Literatur diskutiert: Die Messung des Aktivstroms eines Blocks (Dean et al., 1994) oder eine Endpunkterkennung durch die Kodierung der Daten in Multi-Rail-/Dual-Rail-Ansätzen. Erstere Methode lässt sich im Subthreshold-Bereich nicht einsetzen, da Leckströme und Aktivströme in der gleichen Größenordnung liegen, was eine eindeutige Unterscheidung einer aktiven Periode unmöglich macht. Multi-Rail Techniken hingegen basieren auf der Idee, einen bestimmten Multi-Rail-Wert zu definieren, der eine Ungültigkeit von Daten anzeigt. Das Ende einer Operation wird dadurch gezeigt, dass sämtliche Ausgänge einer Schaltung gültige Daten haben, was der so genannten Set-Phase entspricht. Ein kompletter Zyklus wird abgeschlossen durch einen Reset aller Ausgänge auf den ungültigen Wert, wodurch aufeinander folgende Datenworte sicher getrennt werden. Dual-Rail (DR) Schaltkreise sind die am weitesten verbreitete Schaltungstechnik dieser Klasse. Hier werden zwei Leitungen zur Repräsentation eines Bits benutzt, eine zur Darstellung einer gültigen eins, die andere zur Darstellung einer gültigen null.

Die meisten üblichen Schaltungstechniken zur Implementierung von DR Schaltungen können kaum im Subthreshold-Bereich verwendet werden, da sie Komplexgatter, quasi-statische oder dynamische Logik verwenden, die sich alle bei sehr niedrigen Spannungen nicht ohne Probleme im Bezug auf die Zuverlässigkeit implementieren lassen. Als geeignet erwiesen sich die Techniken der Delay Insensitive Minterm Synthese (DIMS) (Sparsø and Staunstrup, 1993), Null Convention Logic mit getrennter Completion Detection (NCL-X) (Sokolov, 2005) und NCL-X mit reduzierter Completion Detection (Cortadella et al., 2004). Eine Beschreibung der jeweiligen Implementierung findet sich in der angegebenen Literatur, an dieser Stelle soll im Speziellen auf einen wesentlichen Unterschied der Implementierungen eingegangen werden: Sie differenzieren sich durch den erforderlichen Schaltungsoverhead im Vergleich zu einer Single-Rail (SR) Schaltung und durch die Timing-Sicherheit. Während DIMS ohne jegliches Wissen über Gatterlaufzeiten ein sicheres Timing erlaubt, dafür aber den höchsten Schaltungsoverhead besitzt, ist dieser bei NCL-X mit reduzierter Completion Detection

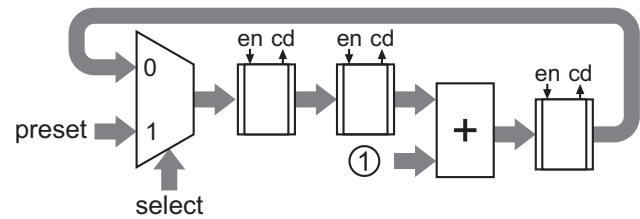


Abb. 3. Struktur des Zählers in DIMS Realisierung.

deutlich geringer, wofür dort in der Reset-Phase jedoch eine schwache Abhängigkeit von den Gatterlaufzeiten eingeführt wird.

Um die grundsätzliche Anwendbarkeit der beschriebenen Schaltungstechniken sicherzustellen, insbesondere in Bezug auf theoretisch mögliche Effekte wie In- oder Metastabilitäten, wurde ein einfacher dreistufiger 4-Bit Zähler mit Preset auf Transistor-Ebene simuliert (3 Stufen stellen das Minimum für eine DIMS Realisierung dar). Die entsprechende Struktur ist in Abb. 3 gezeigt. Es wurde sowohl eine DIMS- als auch eine NCL-X mit reduzierter Completion Detection-Realisierung getestet, um eine Technik mit hohem Overhead, aber sehr hoher Timing-Sicherheit und eine weniger konservative Technik zu berücksichtigen. Die Implementierung der verwendeten Grundgatter erfordert sorgfältige Dimensionierung, um eine zuverlässige Funktion bis zu der angestrebten minimalen Versorgungsspannung von 200 mV zu gewährleisten. Hierfür wurden die von Wang and Chandrakasan (2004) angegebenen Dimensionierungsrichtlinien verwendet.

Es wurden eingehende transiente Simulationen auf Transistor-Ebene durchgeführt. Sie zeigten eine zuverlässige Funktionalität der Schaltungen über den gesamten untersuchten Versorgungsspannungsbereich von 200 mV–500 mV und alle Prozessbedingungen, wobei sich die jeweilige Geschwindigkeit der Schaltung autonom an die maximal mögliche Geschwindigkeit bei den jeweiligen Bedingungen anpasst. Für die Abhängigkeit der Geschwindigkeit von der Versorgungsspannung ergab sich der erwartete exponentielle Zusammenhang und auch das erwartete Minimum bei Betrachtung der E/Op konnte beobachtet werden. Es liegt durch die hohe Aktivität in der Schaltung, welche ihre Ursache in der geringen Schaltungsgröße hat, sehr nahe bei der minimalen betrachteten Versorgungsspannung von 200 mV.

Da in Energy-Harvesting-Anwendungen häufig nur schlecht geregelte Versorgungsspannungen zur Verfügung stehen, wurde auch der Betrieb der Schaltung an derartigen Spannungsquellen untersucht. Die Schaltungen zeigten eine hohe Robustheit gegen die transienten Veränderungen der Betriebsbedingungen, und eine direkte Adaptivität der Schaltungsgeschwindigkeit an die momentanen Verhältnisse, wie beispielhaft in Abb. 4 gezeigt.

Als weiteres Ergebnis zeigte sich, dass die Timing-Abhängigkeiten in der Reset-Phase bei der NCL-X

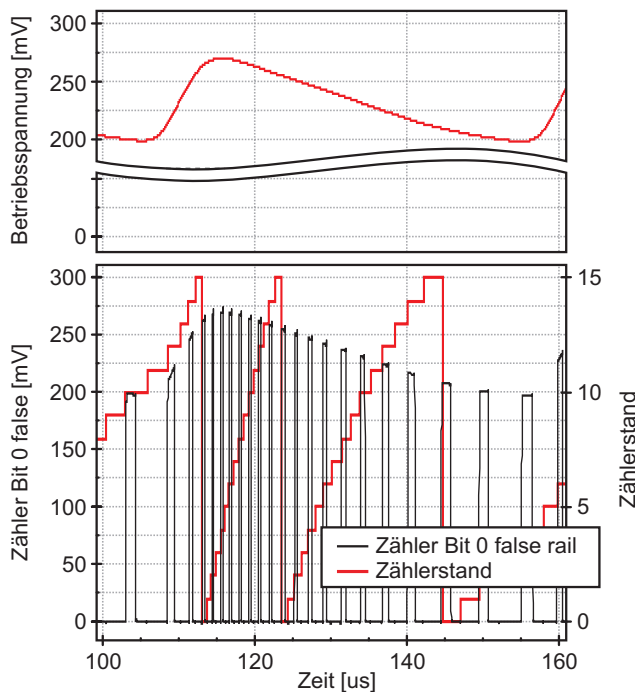


Abb. 4. False-Rail des LSB bei schlecht regulierter Versorgungsspannung. Der Zählerstand ist zur Veranschaulichung der dynamischen Veränderung der Schaltgeschwindigkeit mit angegeben.

Schaltungstechnik mit reduzierter Completion Detection keine Zuverlässigkeitsprobleme verursachen. Für die weiteren Untersuchungen wird daher ausschließlich diese Schaltungstechnik verwendet, da sie den geringsten Schaltungs-overhead besitzt und gleichzeitig die höchste Geschwindigkeit zulässt. Sie besitzt somit das größte Potential, auch in Bezug auf die E/Op Vorteile zu erzielen.

4 Systembetrachtung und Analyse-Konzept

Nach dem Nachweis der Funktionsfähigkeit von DR Schaltungstechniken in Subthreshold-Bereich soll im Folgenden die Frage nach ihrer Effizienz im Bezug auf eine Reduktion der Zykluszeiten und der E/Op im Vergleich zu entsprechenden Single-Rail (SR) Schaltungen mit angepassten Delay-Lines beantwortet werden. Wie in Abschnitt 2 erläutert, ergeben sich potentielle Reduktionen der E/Op durch den Einsatz von DR Techniken aus einer Reduktion der Zykluszeit und damit der Zeit, in der pro Operation Leckströme fließen. Dem steht allerdings eine Erhöhung der Aktivenergie auf Grund von Schaltungs-overheads und durch eine prinzipiell erhöhten Anzahl an Schaltvorgängen in DR Logik gegenüber. Darüber hinaus führen die Schaltungs-overheads auch zu einem Anstieg der Fläche und damit der absoluten Leckströme. Eine genauere Betrachtung zeigt, dass eine Reduktion der Energie pro Operation bei einer Realisierung ei-

nes kompletten Systems in DR Logik sehr unwahrscheinlich ist.

Werden jedoch nur die kritischsten Systemteile, das heißt die langsamsten Teile eines Systems, in DR Techniken implementiert, so ergibt sich das Potential, dass durch die Beschleunigung dieser Teile die Zykluszeit des Gesamtsystems reduziert wird und sich insgesamt eine Reduktion der Leckströme pro Operation bei akzeptablen Schaltungs-overheads ergibt. Das umgebende System kann entweder in asynchroner Single-Rail-Schaltungstechnik implementiert werden, wo sich der in Dual-Rail-Technik implementierte Teil nahtlos einfügen lässt, oder als synchrones System, wobei in diesem Fall eine Blockierung des Systems stattfinden muss, falls der kritische Teil seine Operation noch nicht beendet hat.

Zentral bei der Untersuchung der Effizienz ist allerdings, dass ein betrachteter kritischer Systemteil zum einen nicht zu klein ist, da sonst die zugehörige Kontrolllogik dominant wird, und zum anderen die durch Prozessvariationen verursachten Variabilitäten berücksichtigt werden, da diese zentral die notwendigen Overheads bei einer Delay-Line Implementierung definieren. Bei Verwendung der im letzten Abschnitt eingesetzten Simulation auf Transistor-Ebene erfordert die Berücksichtigung der Prozessvariationen Monte-Carlo-Simulationen, die bei den erforderlichen Schaltungsgrößen jedoch extrem zeitaufwändig werden. Es wurde deshalb eine Simulationsmethode entwickelt, die die Variabilitäten einzelner Gatter in VHDL abbildet und auf diesem Wege erlaubt, den Aufwand der Monte-Carlo-Simulation auf die Logikebene zu verschieben. Eine genauere Beschreibung dieser Vorgehensweise findet sich in Lotze et al. (2007).

Als Basis des Effizienzvergleichs dient ein Multiplizierer, welcher mit dem Ziel einer möglichst geringen logischen Tiefe entworfen wurde. Er ist daher mit einem Wallace-Tree-Addierer und für die letzte Addition einem Kogge-Stone-Addierer realisiert. Die Wortbreite wird zwischen 4 und 8 Bit variiert, um auch den Einfluss der Schaltungsgröße zu ermitteln.

5 Ergebnisse

Die im Folgenden gezeigten Ergebnisse wurden auf Basis des erläuterten VHDL-Modells ermittelt, wobei 5k Monte-Carlo-Simulationenpunkte zur Abbildung der Prozessvariabilität verwendet wurden und bei jedem dieser Punkte 5k zufällige Eingangsvektoren angelegt wurden, um auch die Abhängigkeit der Delays von den Eingangswerten zu ermitteln. Die für die Variabilität der Gatterdelays zu Grunde gelegten Daten sind die bei der minimalen angestrebten Versorgungsspannung von 200 mV ermittelten, da die relative Variabilität an diesem Punkt maximal ist und das System für diesen Worst-Case dimensioniert werden muss.

In Bezug auf die Abhängigkeit der Delays von den Eingangsdaten ergibt sich der wichtige Unterschied, dass bei

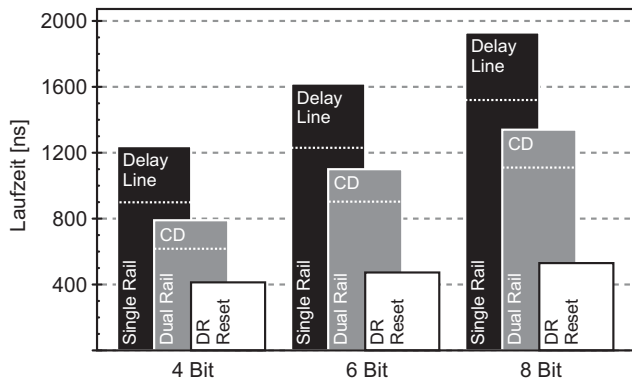


Abb. 5. Laufzeiten für SR und DR Schaltkreise.

SR Schaltkreisen für den Worst-Case dimensioniert werden muss, während DR Schaltkreise auf Grund der Endpunkterkennung die tatsächliche Verzögerung erkennen und damit eine effektive Verzögerung nahe dem Mittelwert einer entsprechenden Verteilung erzielen. Die sich ergebenden Erwartungswerte für das Timing der Schaltkreise sind in Abb. 5 dargestellt: Die Verzögerungszeiten im SR Schaltkreis zusammen mit dem notwendigen Overhead in den Delay-Lines, die Vorwärtslaufzeiten der DR Implementierung mit der zusätzlichen Laufzeit für die Completion Detection und die Dauer der Propagierung des Reset-Pulses von den Eingängen zu dem Ausgang des Completion Detectors (CD). In den meisten Anwendungen müssen die Set- und Reset-Phase des DR Schaltkreises im gleichen Zyklus liegen, wodurch die Gesamtzykluszeit der DR Implementierung aber effektiv genauso groß würde wie die der Delay-Line-Implementierung.

Die Reset-Pulsbreite kann jedoch signifikant reduziert werden, da die Reset-Phase nur folgende Anforderungen erfüllen muss:

- Erzeugung eines ausreichend langen Reset-Pulses am Ausgang des CD
- Alle Schaltungsausgänge müssen gültig sein, wenn CD nach Reset-Puls wieder gesetzt wird

Abbildung 6 zeigt in Abhängigkeit von der verwendeten Reset-Pulsbreite die sich ergebende minimale Reset-Pulsbreite am CD, die Wahrscheinlichkeit, dass Daten noch nicht gültig sind, wenn der CD gesetzt wird und den Worst-Case-Slack vom CD zu den Ausgangsdaten (Verzögerung von dem Moment, in dem der letzte Schaltungsausgang gültig wird bis zum Setzen des CD). Aus dieser Grafik lässt sich erkennen, dass die Reset-Pulsbreite bei im Vergleich zur SR-Schaltung gleich bleibendem Sicherheitsniveau auf ca. 50% der in Abb. 5 angegebenen Dauer reduziert werden kann.

Daraus ergibt sich effektiv eine mögliche Reduktion der Zykluszeit um ca. 15–20% durch den Einsatz von DR Techniken. Dieser Wert kann sich für das Gesamtsystem noch

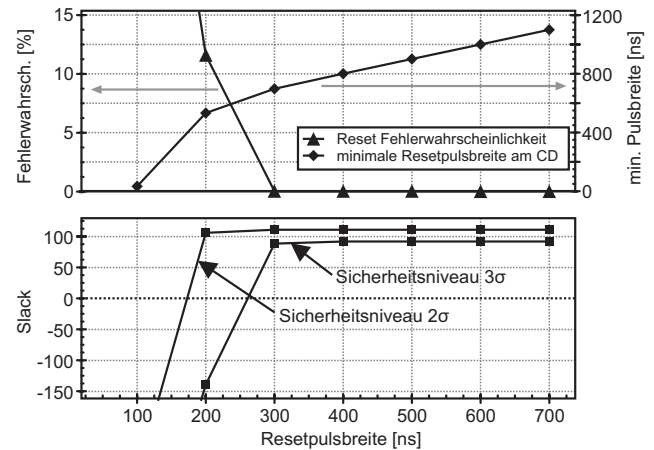


Abb. 6. Auswirkungen einer Veränderung der Reset-Pulsbreite.

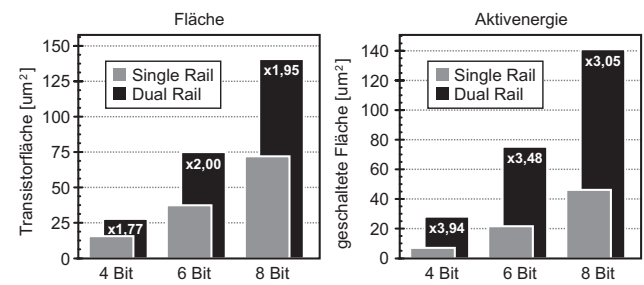


Abb. 7. Flächen- und Aktivenergie-Overhead der DR Implementierung.

ändern, da die jeweiligen Kontrollstrukturen in der Simulation noch nicht berücksichtigt werden konnten, aber es ist ein ausreichend guter Wert für eine Abschätzung, wann sich der Einsatz von DR Technik lohnt.

Die Flächen- und Aktivenergie-Overheads in der DR Implementierung im Vergleich zur SR Realisierung sind in Abb. 7 dargestellt. Der Faktor 2 für den Flächenoverhead ergibt sich aus direkt aus der DR Technik und der damit verbundenen Doppelung von Logik. Der hohe Overhead der Aktivenergie erklärt sich durch folgende Überlegung: Die Aktivität an einem mit Zufallswerten angesteuerten SR Schaltungseingang beträgt $\frac{1}{2}$. Diesem Eingang entspricht in DR Technik ein Leitungspaar, von dem pro Taktzyklus eine Leitung gesetzt und zurückgesetzt wird, was einer Aktivität von 2 entspricht und somit den Faktor 4 für den Overhead erklärt. Der mit steigender Schaltungsgröße abnehmende Overhead resultiert aus Glitches, die sich in größeren SR Schaltungen weiter ausbreiten können, wohingegen DR Schaltungen prinzipiell frei von Glitches sind.

In Anbetracht der hohen Overheads in der DR Implementierung stellt sich die Frage nach der Gesamtenergiebilanz eines Systems mit DR Teilen. Kritische Faktoren sind hierbei

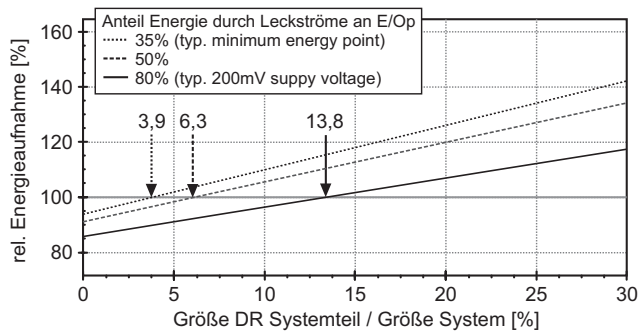


Abb. 8. Abhängigkeit der Energie pro Operation von der Größe des in DR implementierten Systemteils.

die Overheads in Fläche und Aktivenergie und die relative Abnahme der Zykluszeit durch Einsatz der DR Technik. Diese Daten lassen sich aus den soeben präsentierten Ergebnissen ablesen. Darüber hinaus ist die Bilanz abhängig von der relativen Größe des DR Systemteils im Vergleich zum Gesamtsystem und dem Anteil, den die durch Leckströme verursachte Energieaufnahme an der Gesamtenergie pro Operation besitzt. Letzterer Faktor ist abhängig von der Schaltungstopologie und der verwendeten Versorgungsspannung. Abbildung 8 zeigt die sich ergebende relative Energieaufnahme eines Systems in Abhängigkeit den genannten Faktoren, wobei Aktiv-/Leckstrom-Energie-Verhältnisse gezeigt werden, die für bestimmte Betriebspunkte typisch sind (siehe z.B. Nazhandali et al., 2005). Diese Grafik zeigt, dass bei sehr niedrigen Betriebsspannungen die E/Op reduziert wird, falls der kritische Systemteil weniger als $\sim 14\%$ des Gesamtsystems ausmacht, während er für eine Reduzierung der E/Op am Minimum-Energy-Point nicht mehr als $\sim 4\%$ des Systems ausmachen darf. Das maximale Potential für Einsparungen in der E/Op liegt zwischen 5% am Minimum Energy Point und 15% bei sehr niedrigen Betriebsspannungen.

6 Diskussion

Diese Veröffentlichung präsentiert unsere Ergebnisse zu Realisierung und Optimierungsmöglichkeiten von Subthreshold-Schaltungen ohne externe Taktquelle. Es konnte gezeigt werden, dass Dual-Rail-Schaltungen im Subthreshold-Bereich realisierbar sind und eine hohe Robustheit gegenüber Variabilitäten in den Operationsbedingungen aufweisen. Die notwendigen, hohen Sicherheitsmargen in Delay-Line-basierten Entwurfsmethoden wurden spezifiziert und es wurde gezeigt, dass bei einem nicht zu konservativen Entwurf die Zykluszeit durch den Einsatz von Dual-Rail-Schaltkreisen signifikant reduziert werden kann. Wird diese Schaltungstechnik zur Realisierung kritischer Systemteile benutzt, so kann insbe-

sondere bei sehr niedrigen Versorgungsspannungen, wie sie z.B. häufig bei Energy-Harvesting-Systemen auftreten, auch die Energie-pro-Operation des Gesamtsystems reduziert werden.

Zusammenfassend lässt sich folgern, dass die Kombination von Delay-Line-basierten und Dual-Rail-Schaltungstechniken in Subthreshold-Schaltungen insbesondere für Anwendungen vielversprechend ist, die entweder eine sehr zuverlässige Schaltungsimplementierung erfordern oder mit sehr niedrigen Betriebsspannungen auskommen müssen.

Danksagung. Diese Arbeit wird unterstützt von der Deutschen Forschungsgemeinschaft (DFG) in Projekt Nummer 1103.

Literatur

- Cortadella, J., Kondratyev, A., Lavagno, L., and Sotiriou, C.: Coping with the variability of combinational logic delays, Proc. IC-CD, pp. 505–508, 2004.
- Dean, M. E., Dill, D. L., and Horowitz, M.: Self-timed logic using current-sensing completion detection (CSCD), J. VLSI Signal Process. Syst., 7, 7–16, 1994.
- Lotze, N., Ortmanns, M., and Manoli, Y.: A Study on Self-Timed Asynchronous Subthreshold Logic, Proc. ICCD, pp. 533–540, 2007.
- Nazhandali, L., Zhai, B., Olson, J., et al.: Energy Optimization of Subthreshold-Voltage Sensor Network Processors, SIGARCH Comput. Archit. News, 33, 197–207, 2005.
- Sokolov, D.: Automated synthesis of asynchronous circuits using direct mapping for control and data path, PhD thesis, University of Newcastle upon Tyne, 2005.
- Sparsø, J. and Staunstrup, J.: Delay-insensitive multi-ring structures, Integr. VLSI J., 15, 313–340, 1993.
- Spreemann, D., Manoli, Y., Folkmer, B., and Mintenbeck, D.: Non-resonant vibration conversion, J. Micromech. Microeng., 16, 169–173, 2006.
- Wang, A. and Chandrakasan, A.: A 180mV FFT processor using subthreshold circuit techniques, Tech. Dig. ISSCC, 1, 292–529, 2004.
- Wang, A., Chandrakasan, A., and Kosonocky, S.: Optimal Supply and Threshold Scaling for Subthreshold CMOS Circuits, in: Proc. ISVLSI, pp. 7–11, 2002.
- Zhai, B., Hanson, S., Blaauw, D., and Sylvester, D.: Analysis and mitigation of variability in subthreshold design, Proc. ISLPED, pp. 20–25, 2005.