

Zuverlässigkeit digitaler Schaltungen unter Einfluss von intrinsischem Rauschen

V. B. Kleeberger and U. Schlichtmann

Lehrstuhl für Entwurfsautomatisierung, Technische Universität München, Deutschland

Zusammenfassung. Die kontinuierlich fortschreitende Miniaturisierung in integrierten Schaltungen führt zu einem Anstieg des intrinsischen Rauschens. Um den Einfluss von intrinsischem Rauschen auf die Zuverlässigkeit zukünftiger digitaler Schaltungen analysieren zu können, werden Methoden benötigt, die auf CAD-Verfahren wie Analogsimulation statt auf abschätzenden Berechnungen beruhen. Dieser Beitrag stellt eine neue Methode vor, die den Einfluss von intrinsischem Rauschen in digitalen Schaltungen für eine gegebene Prozesstechnologie analysieren kann. Die Amplituden von thermischen, $1/f$ und Schrotrauschen werden mit Hilfe eines SPICE Simulators bestimmt. Anschließend wird der Einfluss des Rauschens auf die Schaltungszuverlässigkeit durch Simulation analysiert.

Zusätzlich zur Analyse werden Möglichkeiten aufgezeigt, wie die durch Rauschen hervorgerufenen Effekte im Schaltungsentwurf mit berücksichtigt werden können. Im Gegensatz zum Stand der Technik kann die vorgestellte Methode auf beliebige Logikimplementierungen und Prozesstechnologien angewendet werden. Zusätzlich wird gezeigt, dass bisherige Ansätze den Einfluss von Rauschen bis um das Vierfache überschätzen.

1 Einleitung

Mit der immer weiter fortschreitenden Miniaturisierung integrierter CMOS-Schaltungen stellt sich die Frage wie lange diese fortwährende Skalierung aufrechterhalten werden kann. Während der letzten Jahrzehnte sagten verschiedene Autoren unabhängig voneinander voraus, dass diese Skalierung durch eine natürliche untere Schranke, definiert durch intrinsische Rauschquellen, begrenzt sei (Stein, 1977; Natori and Sano, 1998; Kish, 2002). Die Skalierung von Versor-

gungsspannung und Strukturgrößen ist mit steigendem Rauschen in integrierten Schaltungen limitiert. Sobald der Punkt erreicht ist an dem aufgrund zu großer Rauschamplituden verschiedene Logikwerte nicht mehr unterschieden werden können, wird diese Schaltung nicht mehr korrekt funktionieren.

Somit existiert eine untere Schranke für die Miniaturisierung integrierter Schaltungen, da Spannungsfluktuationen, die durch intrinsisches Rauschen verursacht werden, klein genug bleiben müssen im Vergleich zur Versorgungsspannung. Dies stellt korrekte Logikwerte sicher und sorgt damit für den fehlerfreien Betrieb der Schaltung. Des Weiteren kann intrinsisches Rauschen während des Schaltvorgangs einzelner Logikzellen Einfluss auf das Laufzeitverhalten der Schaltung und die Signalintegrität haben.

Die kürzlich veröffentlichte *Resilience Roadmap* (Nassif et al., 2010) zeigt ebenfalls auf, dass die Erforschung des Einflusses von intrinsischem Rauschen in Digitalschaltungen einen wichtigen Schritt zur Etablierung zukünftiger Technologien darstellt. Zeitlich veränderliche Rauschquellen, wie z.B. thermisches Rauschen, sind grundlegend verschieden von den üblicherweise betrachteten Rauschphänomenen in digitalen Schaltungen, wie z.B. Crosstalk.

Für die die Berücksichtigung von intrinsischem Rauschen in digitalen Schaltungen wird ein realistisches Modell der vorhandenen Rauschquellen und deren Effekt auf die Schaltungszuverlässigkeit benötigt. Diese Arbeit schlägt hierfür eine neue Charakterisierungsmethode des Leistungsdichtespektrums (LDS) der Rauschquellen und deren Einfluss auf die Zuverlässigkeit digitaler Schaltungen vor.

Im Weiteren gibt das Kapitel 2 einen kurzen Überblick über existierende Methoden zur Bestimmung der Rauschamplituden und deren Einfluss auf die Schaltungszuverlässigkeit. Kapitel 3 stellt die vorgeschlagene neue Charakterisierungsmethode für das Rausch-LDS vor und Kapitel 4 zeigt die verwendeten Methoden zur Bestimmung des Einflusses



Correspondence to: V. B. Kleeberger
(kleeberger@tum.de)

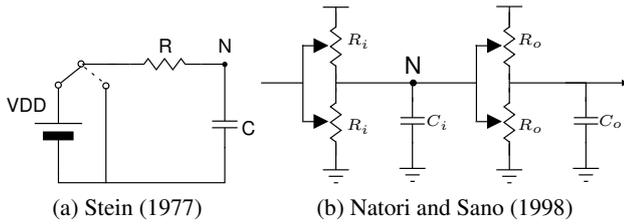


Abb. 1. Zellenmodelle für die Abschätzung der RMS-Spannung von thermischen Rauschen in Digitalschaltungen.

von intrinsischem Rauschen auf die Schaltungszuverlässigkeit. Anschließend werden im Kapitel 5 die Ergebnisse dargestellt und mit denen existierender Ansätze verglichen, bevor im Kapitel 6 eine kurze Zusammenfassung die Arbeit abschließt.

2 Existierende Modelle für intrinsisches Rauschen in Digitalschaltungen

2.1 Modelle für die Bestimmung von Rauschamplituden

Stein (1977) war einer der ersten, die den Einfluss von thermischen Rauschen in digitalen Schaltungen untersuchten. Um den Effektivwert (engl. root-mean-square, RMS) der Rauschspannung zu bestimmen benutzte er ein vereinfachtes Modell einer Logikzelle, welches ursprünglich für die schnelle Abschätzung des Laufzeitverhaltens und Energieverbrauchs gedacht war (Abb. 1).

Die Treiberzelle wird hierbei durch ihren äquivalenten Drain-Source-Kanalwiderstand R dargestellt und die Lastzelle durch eine äquivalente Kapazität C . Das Rausch-RMS \bar{u} am Knoten N zwischen Widerstand und Kapazität kann dann analytisch berechnet werden:

$$\bar{u} = \sqrt{\frac{k \cdot T}{C}} \quad (1)$$

C bezeichnet hierbei die Kapazität aus Abb. 1, k die Boltzmann-Konstante und T die Schaltungstemperatur.

Natori and Sano (1998) entwickelten dieses Modell weiter und modellierten zusätzlich noch den Kanalwiderstand R_o der Lastzelle, sowie die Kapazität C_o an deren Ausgang (Abb. 1b). Das Rausch-RMS ergibt sich dann hierbei durch sein entsprechendes Leistungsdichtespektrum $S_{\bar{u}}(f)$ zu

$$\bar{u} = \sqrt{\int_0^\infty S_{\bar{u}}(f) df} = \sqrt{\frac{2kT}{\pi C_i} \arctan\left(2\pi \frac{R_i C_i}{R_o C_o}\right)} \quad (2)$$

2.2 Modelle für die Schaltungszuverlässigkeit unter dem Einfluss von intrinsischem Rauschen

Sowohl Stein als auch Natori and Sano definieren die Zuverlässigkeit einer Logikzelle unter dem Einfluss von intrinsischem Rauschen als die Wahrscheinlichkeit, dass die Rauschspannung eine vorgegebene Schranke S überschreitet. Die Wahrscheinlichkeit, die Spannung S zu überschreiten wird als Bitfehlerwahrscheinlichkeit definiert, d.h. die Wahrscheinlichkeit, dass der falsche Logikwert am Schaltungsausgang beobachtet wird. Die Wahrscheinlichkeitsdichtefunktion für die zu erwartende Spannung unter dem Einfluss intrinsischen Rauschens kann als Normalverteilung modelliert werden. Der Mittelwert der Normalverteilung wird hierbei zu VDD bzw. VSS gesetzt (abhängig vom charakterisierten Logikwert) und die Standardabweichung wird gleich dem Effektivwert \bar{u} des Rauschens gesetzt. Die Bitfehlerwahrscheinlichkeit ergibt sich dann als (Glover and Grant, 2004):

$$P_{\text{err}} = \frac{1}{2} \operatorname{erfc}\left(\frac{S}{\sqrt{2} \cdot \bar{u}}\right) \quad (3)$$

Im Gegensatz dazu definiert Kish (2002) die Schaltungszuverlässigkeit nicht über die Wahrscheinlichkeit, eine Schranke S zu überschreiten, sondern als die mittlere Häufigkeit ν wie oft die Spannung S überschritten wird:

$$\nu(S) = \frac{2}{\sqrt{3}} \exp\left(\frac{-S^2}{2\bar{u}^2 \cdot f_c}\right) f_c \quad (4)$$

In dieser Gleichung bezeichnet f_c die Eckfrequenz des Leistungsdichtespektrums. Kish interpretiert $\nu(S)$ als Bitfehler rate, was als Maß für die Schaltungszuverlässigkeit herangezogen werden kann.

Alle diese Ansätze berechnen das Rausch-RMS und dessen zugehörige Fehlerwahrscheinlichkeit analytisch anhand vereinfachter Zellenmodelle. Außerdem wird nur der Einfluss von thermischen Rauschen berücksichtigt und nur die Auswirkung auf Bitfehler und nicht auf die Signalintegrität untersucht.

Im Gegensatz hierzu berechnet die in dieser Arbeit vorgestellte Methode das Rausch-RMS durch analoge Schaltungssimulation. Dies erlaubt die Benutzung genauerer Modelle für die Logikzelle und deren intrinsischen Rauschquellen. Durch die Verwendung von Analogsimulation können - wie bei den bisherigen Ansätzen - die Effekte von Rauschen im eingeschwingenen Schaltungszustand, aber auch der Einfluss auf Signalintegrität und Laufzeitverhalten untersucht werden. Für die Analyse des Laufzeitverhaltens unter dem Einfluss von intrinsischem Rauschen muss das Rauschen während des Schaltvorgangs der Zelle modelliert werden, was ein genaueres Zellenmodell als die in Abb. 1 gezeigten benötigt. Desweiteren kann die vorgestellte Methode benutzt werden, um ganze Standardzellbibliotheken auf Basis

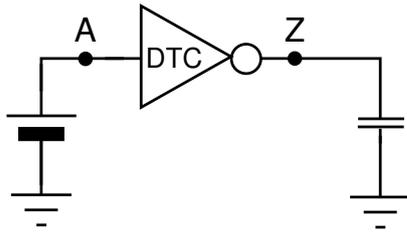


Abb. 2. Messschaltung zur Bestimmung des Leistungsdichtespektrums des Rauschens am Ausgang einer Logikzelle (device to characterize, DTC).

bereits verfügbarer Daten zu charakterisieren. Dies ist wichtig für die Berücksichtigung des intrinsischen Rauschens in industriellem Schaltungsdesign und der Integration dieser Analyse in EDA Software.

3 Analyse des Leistungsdichtespektrums

Für die Analyse des intrinsischen Rauschens in digitalen Schaltungen wird ein SPICE Simulator verwendet. Durch die Bestimmung der Rauschamplituden mit Hilfe eines SPICE Simulators kann ein sehr genaues Zellenmodell verwendet werden. Der Simulationsaufbau zur Bestimmung des Leistungsdichtespektrums des Rauschens einer Logikzelle ist in Abb. 2 zu sehen.

Die Schaltung besteht im Wesentlichen aus zwei Teilen, der Logikzelle DTC, deren Rauschen am Knoten Z gemessen werden soll und der Last dieser Zelle - hier durch eine äquivalente Kapazität modelliert. Die Spannung am Eingangsknoten A der Zelle wird fest auf VDD oder VSS gelegt, abhängig davon für welchen Logikzustand das LDS berechnet werden soll. Da die Größe des Rauschens von der getriebenen Last abhängt muss die Charakterisierung für mehrere verschiedene Kapazitätswerte durchgeführt werden um die Vielfalt verschiedener möglicher Lasten am Ausgang zu erfassen.

Die zu charakterisierende Logikzelle wird hierbei durch ihre entsprechende Transistornetzliste modelliert, für die das BSIM4 Transistormodell benutzt wird (BSIM4 Users' Manual, 2008). Das BSIM4 Transistormodell stellt bereits Modelle für die wichtigsten Rauschquellen in integrierten Schaltungen bereit: Funkelrauschen, thermisches Kanalrauschen, induziertes Gate-Rauschen, thermisches Widerstandsrauschen (z.B. an den Source-, Drain- und Gate-Elektroden) und Schrotrauschen durch dielektrisches Tunneln werden modelliert (BSIM4 Users' Manual, 2008). Das Leistungsdichtespektrum $S(f)$ kann hier durch die vom SPICE Simulator bereits bereitgestellte Noise Simulation direkt gemessen werden (Vlach and Singhal, 1994; Vasilescu, 2005). Die Integration über das gesamte Leistungsdichtespektrum $S(f)$ ergibt dann den Effektivwert des Rauschens \bar{u} :

$$\bar{u} = \sqrt{\int_0^{\infty} S(f) df} \quad (5)$$

Der bisher beschriebene Versuchsaufbau kann nur dazu verwendet werden das Rausch-RMS für die Eingangsspannungen VDD oder VSS zu berechnen. Dies ist der Fall wenn alle Schaltvorgänge an diesem Knoten abgeschlossen sind. Demnach sind diese Rauschamplituden entscheidend um den Einfluss von Rauschen auf mögliche Bitfehler verursacht durch Bit-Flips zu bestimmen. Allerdings existiert auch während des Schaltvorgangs intrinsisches Rauschen, welches Einfluss auf die Signalintegrität haben kann. Hierdurch können Veränderungen des Laufzeitverhaltens der Schaltung entstehen, wodurch die Schaltung ebenfalls fehlerhaft arbeiten könnte.

Die in Abb. 2 gezeigte Schaltung kann hierbei ebenfalls benutzt werden um die Rauschamplitude während des Schaltvorgangs zu bestimmen. Hierbei wird die Konstantspannungsquelle am Knoten A durch eine zeitlich veränderliche Spannungsquelle ersetzt, die ein schaltendes Signal modelliert. Anschließend wird eine Transientsimulation der Schaltung durchgeführt, wie es auch bei der Timing-Charakterisierung von Logikzellen der Fall ist (Synopsys Liberty NCX User Guide, 2010). Für jeden Zeitpunkt der Transientsimulation wird zusätzlich das Rausch-RMS am Knoten Z berechnet, so wie es auch mit der Konstantspannungsquelle durchgeführt wurde. Dies führt zu einer RMS-Spannung, die über der Zeit veränderlich ist und die Rauschamplituden sowohl während des Schaltvorgangs als auch im eingeschwungenen Zustand beinhaltet.

4 Schaltungszuverlässigkeit unter dem Einfluss von intrinsischem Rauschen

Die Betrachtung der Wahrscheinlichkeit, dass das intrinsische Rauschen zufällig eine vordefinierte Spannung überschreitet, zur Bestimmung der Schaltungszuverlässigkeit hat einen wesentlichen Nachteil. Durch das einfach Abzählen aller Überschreitungen wird die in jeder Logikzelle vorhandene Tiefpass-Charakteristik vernachlässigt. Neben der Wahrscheinlichkeit, dass eine vorgegebene Schwelle überschritten wird ist außerdem wichtig wieviel Energie des Spannungshubes vom Eingang der Zelle zum Ausgang transportiert wird. Dies bestimmt letztendlich ob die Zelle wirklich schaltet und am Ausgang ein fehlerhafter Logikwert entsteht. Der durch intrinsisches Rauschen generierte Spannungsimpuls am Schaltungsausgang muss außerdem groß genug sein, um von einem nachfolgenden Speicherelement, wie z.B. einem Flip-Flop, gespeichert zu werden. Um eine Abschätzung für die Robustheit digitaler Schaltungen gegenüber intrinsischem Rauschen zu gewinnen kann die in Abb. 3 gezeigte Schaltung (Shepard and Narayanan, 1998) verwendet werden.

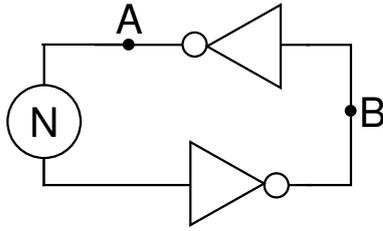


Abb. 3. Latch Test-Struktur zur Analyse der Schaltungszuverlässigkeit unter Einfluss von intrinsischem Rauschen (Shepard and Narayanan, 1998).

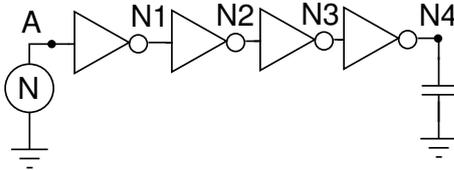


Abb. 4. Inverter Test-Struktur zur Analyse der Schaltungszuverlässigkeit unter Einfluss von intrinsischem Rauschen.

Nach Shepard and Narayanan (1998) muss das in Abb. 3 gezeigte Latch den gespeicherten Logikwert unter dem Einfluss der Rauschspannungsquelle N beibehalten. Dies stellt hierbei eine notwendige und hinreichende Bedingung für die korrekte Funktion einer digitalen Schaltungen unter dem Einfluss von Rauschen dar.

Zusätzlich kann der qualitative Einfluss von intrinsischem Rauschen anhand einer Inverter-Kette, wie in Abb. 4 gezeigt, beurteilt werden.

In dieser Schaltung wird ein verrauschtes Schaltsignal am Eingang A angelegt und die Schaltvorgänge an den Knoten N1 bis N4 beobachtet. Dies gibt zum Einen Aufschluss über den Einfluss des Tiefpassfilter-Effektes der Logikzellen, zum Anderen kann die Reaktion der Schaltung auf Rauschen während des Schaltvorganges analysiert werden.

5 Experimentelle Ergebnisse

5.1 Bestimmung der RMS-Spannung des Rauschens

Um verschiedene Prozesstechnologien auf ihre Robustheit gegenüber intrinsischem Rauschen testen zu können, muss zuallererst das Leistungsdichtespektrum des Rauschens für verschiedene Technologieknoten bestimmt werden. Als Eingabedaten für das BSIM4 Transistormodell wurde ein prädiktives Technologiemodell benutzt, welches die Modellparameter existierender Technologien auf zukünftige Fertigungsgrößen extrapoliert (die Modelldaten sind öffentlich verfügbar unter <http://ptm.asu.edu>) (Zhao and Cao, 2006). Mit Hilfe dieser Daten wurde ein minimal dimensionierter Inverter für jeden Technologieknoten generiert und die in Kapitel 3 beschriebene Methode benutzt um das

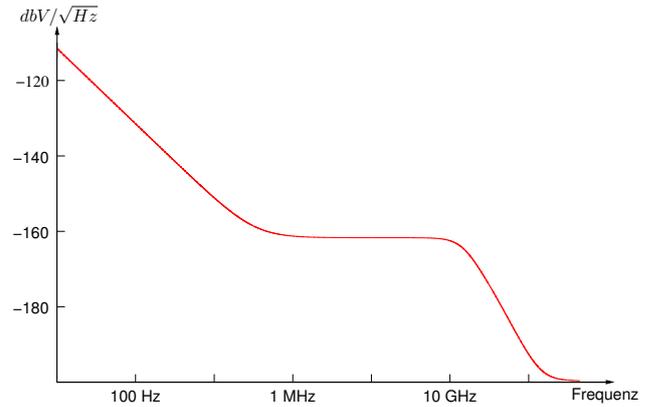


Abb. 5. Leistungsdichtespektrum des Rauschens eines Inverters bei 16 nm Fertigungsgröße.

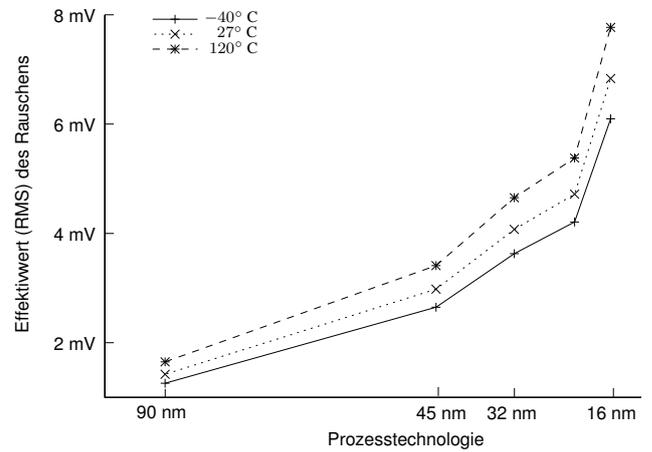


Abb. 6. Rausch-RMS für verschiedene Fertigungsgrößen und Schaltungstemperaturen.

Leistungsdichtespektrum des Rauschens am Zellenausgang zu messen (Abb. 5). Die Lastkapazität wurde hierbei äquivalent zu der Eingangskapazität des charakterisierten Inverters gewählt.

Durch Integration über das Leistungsdichtespektrum mit Hilfe von Gleichung (5) erhält man den Effektivwert des Rauschens, welcher für verschiedene Temperaturen und Fertigungsgrößen in Abb. 6 dargestellt ist.

Abbildung 6 bestätigt hierbei bereits die Vorhersage von Stein (1977), Natori and Sano (1998) und Kish (2002), dass das intrinsische Rauschen innerhalb einer Digitalschaltung für zukünftige Technologien zunehmen wird. Die Zunahme des intrinsischen Rauschens für zukünftige Technologien bestätigt hierbei wiederum, dass eine untere Grenze für die Skalierung von Integrationsdichte und Versorgungsspannung existiert.

Nach der Bestimmung der RMS-Spannungen durch SPICE können diese mit den RMS-Spannungen, die sich durch die Modellgleichungen (1) (Stein, 1977; Kish, 2002)

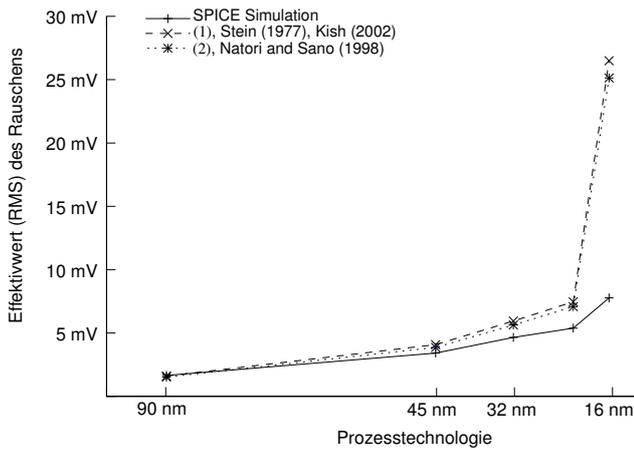


Abb. 7. Rausch-RMS nach Gleichungen (1), (2) und SPICE Simulation ($T=120^\circ\text{C}$).

und Gleichung (2) (Natori and Sano, 1998) bestimmen lassen, verglichen werden. Da für diese Gleichungen die äquivalente Kapazität und der äquivalente Widerstand der Logikzelle benötigt werden (siehe Abb. 1), werden diese nach der von Rabaey et al. (2003) beschriebenen Methode durch Analogsimulation bestimmt. Nach der Messung der äquivalenten Kapazitäten und Widerstände kann das Rausch-RMS durch die Gleichungen (1) und (2) berechnet und mit den durch SPICE Simulation erhaltenen Werten verglichen werden (Abb. 7).

Abbildungen. 7 zeigt, dass mit höherer Integrationsdichte die Gleichungen (1) und (2) die RMS-Spannung des Rauschen zunehmend überschätzen, z.B. um einen Faktor 4 für den 16 nm Knoten. Daher kann geschlussfolgert werden, dass die RMS-Spannungen für intrinsisches Rauschen in digitalen Schaltungen nicht durch Gleichungen, die anhand vereinfachter Modelle hergeleitet wurden, abgeschätzt werden sollte.

Um auch für eine realistisch dimensionierte Digital-schaltung Abschätzungen über den Einfluss von intrinsischem Rauschen zu gewinnen, wurde zusätzlich ein Inverter mit einem W/L-Verhältnis von 8 entworfen, was für eine Logikzelle mittlerer Größe eine sinnvolle Annahme darstellt. Die Lastkapazität wurde äquivalent zu der 4-fachen Eingangskapazität dieses Inverters gesetzt, was ebenfalls eine sinnvolle Annahme für eine laufzeitoptimierte Schaltung darstellt. Abbildung 8 zeigt die Messergebnisse hierfür im Vergleich zu dem vorhergehenden charakterisierten kleineren Inverter.

Hier ist klar zu sehen, dass bei größeren Zellen der Effektivwert des Rauschen noch weiter abnimmt und dessen Einfluss im eingeschwungenen Zustand noch mehr vernachlässigbar wird.

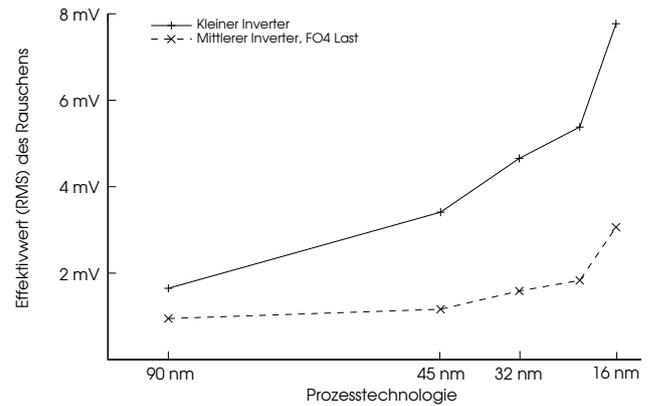


Abb. 8. Rausch-RMS für verschiedene Fertigungs- und Invertergrößen bei $T = 120^\circ\text{C}$.

Tabelle 1. Versorgungsspannung, Rausch-RMS und zugehörige Bitfehlerwahrscheinlichkeit (BEP) nach Gleichung (3) für verschiedene Technologieknoten ($T = 120^\circ\text{C}$).

Technologie	V_{dd} (V)	Rausch-RMS (mV)	BEP
90 nm	1.2	1.64	$\approx 0^*$
45 nm	1.0	3.41	$\approx 0^*$
32 nm	0.9	4.65	$\approx 0^*$
22 nm	0.8	5.38	$\approx 0^*$
16 nm	0.7	7.77	$\approx 0^*$
16 nm	0.3	7.77	$2.4 \cdot 10^{-83}$

* Rechengenauigkeit: double (max. Genauigkeit: 10^{-308})

5.2 Simulation der Schaltungszuverlässigkeit unter dem Einfluss von intrinsischem Rauschen

Durch Vergleich der gemessenen RMS-Spannungen mit den durch die ITRS Roadmap (2009) vorgeschlagenen Versorgungsspannungen, sowie der Berechnung der zugehörigen Bitfehlerwahrscheinlichkeiten nach Gleichung (3), zeigt sich, dass intrinsisches Rauschen im Bezug auf Bitfehler für die nähere Zukunft kein Problem in Digital-schaltungen darstellt (Tabelle 1).

Sogar mit noch stärker gesenkter Versorgungsspannung, was bisher für zukünftige Technologien nicht geplant ist (ITRS Roadmap, 2009), würden die errechneten Bitfehlerwahrscheinlichkeiten vernachlässigbar bleiben, da die Rauschamplitude immer noch sehr klein im Vergleich zur Versorgungsspannung bliebe (siehe Tabelle 1, letzte Zeile).

Um einen Eindruck des qualitativen Einflusses von intrinsischem Rauschen auf die Schaltungszuverlässigkeit zu bekommen, kann die Schaltung aus Abb. 3 benutzt werden. Dies zeigt den Einfluss von Rauschen ohne sich auf Formeln wie Formel (3) verlassen zu müssen, in denen das zufällige Überschreiten einer vordefinierten Schwelle immer als Fehler gewertet wird.

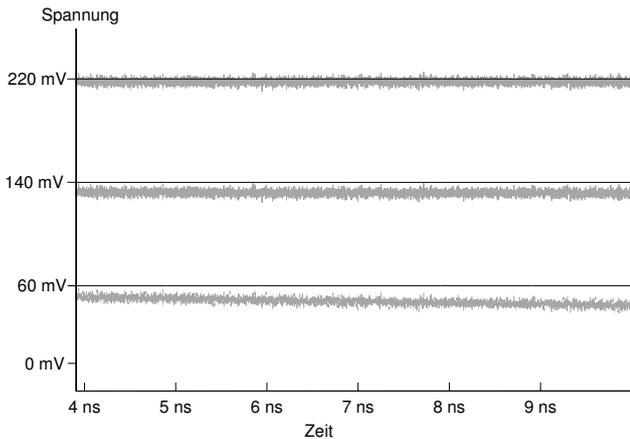


Abb. 9. Spannung am Knoten B der Schaltung aus Abb. 3 für den rauschfreien und verrauschten Fall für verschiedene Versorgungsspannungen (Rausch-RMS: 7 mV, Technologie: 16 nm, T : 120°C).

Abbildung 9 zeigt die Simulationsergebnisse des 16 nm Technologieknoten für Versorgungsspannungen von 220, 140 und 60 mV. Da die RMS-Spannung des Rauschens hier bei 7.77 mV liegt, zeigten Versorgungsspannungen über 220 mV keinen wesentlichen Unterschied zum rauschfreien Fall in der Simulation. In Abb. 9 sind jeweils die Spannungen am Knoten B im rauschfreien Fall zu sehen (durchgezogene Linie), sowie die sich einstellende Spannung bei Berücksichtigung des intrinsischen Rauschens.

Abbildung 9 zeigt, dass mit sinkender Versorgungsspannung ein wachsender Spannungsverlust, verursacht durch intrinsisches Rauschen, gegenüber der Sollspannung am Knoten B eintritt. Dies führt zu einer Verminderung der Noise Margin der Schaltung. Die Ergebnisse in Abb. 9 unterstützen des Weiteren nicht die Annahme von Stein (1977), Natori and Sano (1998) und Kish (2002), dass jedes Überschreiten der Schaltspannung der Logikzelle automatisch zu einem Bitfehler führt, was aber Voraussetzung für die Gleichungen (3) und (4) war. Das Latch behält hierbei den eingespeicherten Logikwert und ändert diesen auch bei sehr niedrigen Versorgungsspannungen nicht. Daraus lässt sich folgern, dass intrinsisches Rauschen in diesem Fall keinen direkten Einfluss auf die Zuverlässigkeit einer digitalen Schaltung hat. Trotzdem kann der verursachte Spannungsabfall, wie er in Abb. 9 zu sehen ist, andere Effekte, wie z.B. IR-Drop, verstärken oder auch Bitfehler die z.B. durch Strahlung verursacht werden, begünstigen. Intrinsisches Rauschen hat demnach keine direkten Auswirkungen auf die Zuverlässigkeit, kann aber andere zuverlässigkeitsbezogene Effekte verstärken.

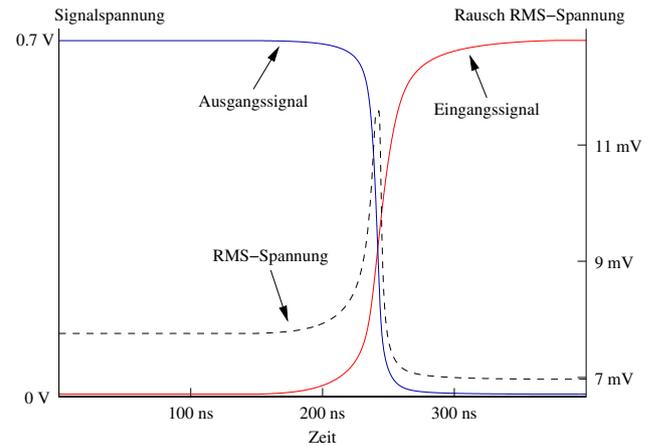


Abb. 10. RMS-Spannung des Rauschens während des Schaltvorganges eines kleinen Inverters (16 nm, T : 120°C). Signale: durchgezogene Linien, linke y-Achse. Rausch-RMS: gestrichelte Linie, rechte y-Achse.

5.3 Der Effekt von intrinsischem Rauschen auf Laufzeit und Signalintegrität

Verglichen mit dem oben gezeigten Bild stellt sich der Einfluss des intrinsischen Rauschens für Schaltvorgänge komplett anders dar. Signalverzerrungen, die durch intrinsisches Rauschen während des Schaltvorgangs verursacht werden, können erheblichen Einfluss auf die Signalintegrität und damit auf die Laufzeit haben. Um den Einfluss von intrinsischem Rauschen auf Signale im Schaltvorgang beurteilen zu können müssen zuerst die entsprechenden RMS-Spannungen des Rauschens für jeden Zeitpunkt des Schaltvorgangs bestimmt werden. Hierfür wird wieder die in Kapitel 3 beschriebene Methode verwendet (siehe Abb. 2). Die resultierende, über der Zeit variierende, RMS-Spannung ist in Abb. 10 gezeigt.

Wie in Abb. 10 ersichtlich, vergrößert sich die RMS-Spannung des Rauschens im Schaltvorgang, während sie im eingeschwungenen Zustand auf einem niedrigeren Wert verweilt. Ähnliche Messergebnisse wurden bereits von Demir (1997) für das Rauschen eines Inverters im Schaltvorgang durch HF Simulationsmethoden berechnet.

Mit Hilfe der gemessenen RMS-Werte aus Abb. 10 kann ein verrauschtes Signal generiert werden, welches als Eingangssignal für die Inverterkette aus Abb. 4 benutzt wird. Die in der anschließenden Simulation entsprechend gemessenen Signale an den Knoten N1 bis N4 der Inverterkette sind in Abb. 11 dargestellt.

Wie aus Abb. 11 ersichtlich ist, kann intrinsisches Rauschen einen entscheidenden Einfluss auf die Signalintegrität haben. In dem dargestellten Fall schalten alle vier Inverter sehr schnell hintereinander, d.h. sie befinden sich zum im Bild eingezeichneten Zeitpunkt $t_0 = 420$ ns alle in einem sehr hohen Verstärkungsbereich. Damit haben kleine Änderungen des Signals am Eingang A sehr große Änderungen am Knoten N4 zur Folge.

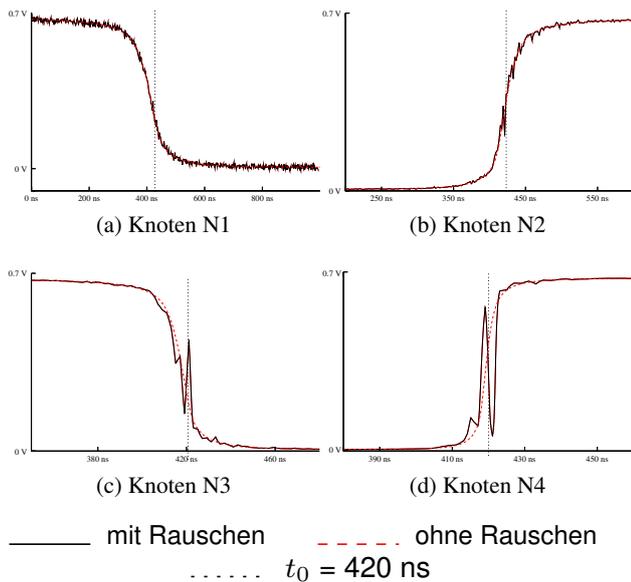


Abb. 11. Simulationsergebnisse zum Einfluss von intrinsischem Rauschen auf die Signalintegrität in einer Digitalschaltung (Testaufbau: siehe Abb. 4).

6 Diskussion

In dieser Arbeit wurde der Einfluss von intrinsischem Rauschen auf die Zuverlässigkeit künftiger digitaler integrierter Schaltungen untersucht. Bei der Abschätzung der Rauschamplituden wurden folgende Verbesserungen im Vergleich zu existierenden Ansätzen gemacht:

- Alle in integrierten Schaltungen wichtigen Rauschquellen wurden berücksichtigt.
- Logikzellen wurden durch Transistoren modelliert, welche wiederum durch das BSIM4 Transistormodell modelliert wurden. Auf vereinfachende Zellenmodelle wurde verzichtet.
- Die Ergebnisse für die Rauschamplituden und deren Einfluss auf die Schaltungszuverlässigkeit basieren auf numerischen Simulationen und nicht auf vereinfachten analytischen Formeln.
- Die vorgestellten Schaltungen zur Bestimmung des Rauschens sind unabhängig von der verwendeten Prozesstechnologie und Logikfamilie. Dadurch lässt sich z.B. auch in dynamischer Logik der Einfluss des Rauschens analysieren.

Die RMS-Spannungen des intrinsischen Rauschens in integrierten Digitalschaltungen werden trotzdem wahrscheinlich noch kleiner sein als in dieser Arbeit dargestellt, da die folgenden Effekte bisher nicht berücksichtigt wurden:

- Die komplette Verdrahtung der Schaltung wurde vernachlässigt. Da Verbindungsleitungen viele zusätzliche Kapazitäten beinhalten wird sich dementsprechend die RMS-Spannung des Rauschens verringern.
- In den meisten Experimenten wurden Minimalinverter benutzt. Fanouts und Zellen mit höheren Treiberstärken führen ebenfalls zu einer Erhöhung der Kapazitäten in der Schaltung und damit zu geringeren RMS-Spannungen des Rauschens (Abb. 8).

Der Vergleich mit analytischen Abschätzungen zeigte, dass diese den Einfluss von Rauschen bis zu einem Faktor 4 überschätzen (Abb. 7). Außerdem wurde gezeigt, dass von Rauschamplituden nicht direkt auf eine daraus resultierende Bitfehlerwahrscheinlichkeit geschlossen werden kann.

Zusätzlich wurde in dieser Arbeit der Einfluss von intrinsischem Rauschen während des Schaltvorgangs einer Logikzelle untersucht. Die Messung der entsprechenden RMS-Spannungen kann hierbei direkt an existierende Timing-Charakterisierungstools wie z.B. Synopsys Liberty NCX User Guide (2010) angebunden werden. Rauschen während des Schaltvorgangs könnte hierbei ein Problem in Bezug auf die Signalintegrität in zukünftigen Schaltungen darstellen, wie in Abb. 11 zu sehen ist. Da in dieser Arbeit allerdings die Verdrahtung der Schaltung nicht berücksichtigt wurde, könnte sich der Effekt auch weniger stark als hier dargestellt gestalten. Dementsprechend sind weitere Untersuchungen im Bereich Signalintegrität in Bezug auf intrinsisches Rauschen unter Berücksichtigung der Schaltungsverdrahtung anzuraten. Da intrinsisches Rauschen vor allem die Signalintegrität beeinträchtigt sollten außerdem weitere Studien über den Einfluss auf Clock Jitter durchgeführt werden.

Literatur

- BSIM4 Users' Manual, 2008: BSIM 4.6.2 MOSFET Model: Users' Manual, Department of Electrical Engineering, University of California at Berkeley, <http://www-device.EECS.Berkeley.EDU/~bsim3/>, 2008.
- Demir, A.: Analysis and Simulation of Noise in Nonlinear Electronic Circuits and Systems, Ph.D. thesis, University of California, Berkeley, 1997.
- Glover, I. A. and Grant, P. M.: Digital communications, Pearson Education, 2004.
- ITRS Roadmap: International Technology Roadmap for Semiconductors, <http://www.itrs.net>, 2009.
- Kish, L. B.: End of Moore's law: thermal (noise) death of integration in micro and nano electronics, *Physics Letters A*, 305, 144–149, 2002.
- Nassif, S., Mehta, N., and Cao, Y.: A resilience roadmap, in: Design, Automation and Test in Europe (DATE), 1011–1016, 2010.
- Natori, K. and Sano, N.: Scaling limit of digital circuits due to thermal noise, *J. Appl. Phys.*, 83, 5019–5024, 1998.
- Rabaey, J. M., Chandrakasan, A., and Nikolic, B.: Digital Integrated Circuits: A Design Perspective, Prentice Hall Electronics and VLSI Series, Prentice Hall, second edn., 2003.

- Shepard, K. L. and Narayanan, V.: Conquering noise in deep-submicron digital ICs, *IEEE Design and Test*, 15, 51–62, 1998.
- Stein, K.-U.: Noise-induced error rate as limiting factor for energy per operation in digital ICs, *IEEE Journal of Solid-State Circuits* SC, 12, 527–530, 1977.
- Synopsys Liberty NCX User Guide, 2010: Liberty NCX User Guide, Synopsys, 2010.
- Vasilescu, G.: *Electronic Noise and Interfering Signals*, Springer Series on Signals and Communication Technology, Springer, 2005.
- Vlach, J. and Singhal, K.: *Computer Methods for Circuit Analysis and Design*, Van Nostrand Reinhold, 115 Fifth Avenue, New York, second edn., 1994.
- Zhao, W. and Cao, Y.: New Generation of Predictive Technology Model for Sub-45 nm Early Design Exploration, *IEEE Transactions on Electron Devices* ED, 53, 2816–2823, 2006.